

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

07683839 **Image available**

LIGHT EMITTING DEVICE, ELEMENT SUBSTRATE AND ELECTRONIC EQUIPMENT

PUB. NO.: 2003-177710 [JP 2003177710 A]
PUBLISHED: June 27, 2003 (20030627)
INVENTOR(s): KIMURA HAJIME
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 2002-238337 [JP 20022238337]
FILED: August 19, 2002 (20020819)
PRIORITY: 2001-258936 [JP 2001258936], JP (Japan), August 29, 2001
(20010829)
INTL CLASS: G09G-003/30; G09G-003/20; G09G-003/22; H01L-029/786;
H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide a display device capable of obtaining a constant luminance regardless of temperature change and to provide its driving method.

SOLUTION: A current mirror circuit which is formed by using first and second transistors is provided for each pixel. The transistors of the circuit are connected so that their drain currents are kept at approximately equal values regardless of load resistance. By controlling the OLED driving current using the circuit, occurrence of variation in the OLED driving current caused by the characteristics of the transistors is prevented and a constant luminance is obtained without being influenced by temperature change.

COPYRIGHT: (C)2003, JPO

(51) Int.CI.⁷

G09G 3/30

3/20

識別記号

611

624

641

642

F I

G09G 3/30

3/20

マーク一 (参考)

J 3K007

H 5C080

624 B 5F110

641 D

642 A

審査請求 有 請求項の数25 O L (全55頁) 最終頁に続く

(21)出願番号

特願2002-238337(P2002-238337)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22)出願日

平成14年8月19日(2002.8.19)

(72)発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(31)優先権主張番号 特願2001-258936(P2001-258936)

(32)優先日 平成13年8月29日(2001.8.29)

(33)優先権主張国 日本(JP)

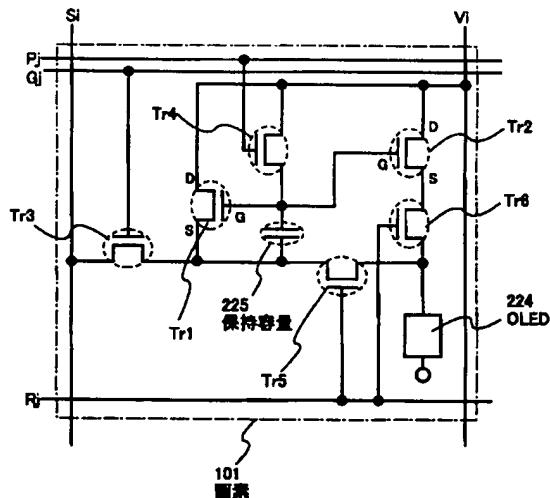
最終頁に続く

(54)【発明の名称】発光装置、素子基板及び電子機器

(57)【要約】

【課題】 温度変化に左右されずに一定の輝度を得ることができる表示装置及びその駆動方法を提供する。

【解決手段】 第1のトランジスタと第2のトランジスタを用いて形成されたカレントミラー回路を各画素に設ける。該カレントミラー回路が有する第1のトランジスタと第2のトランジスタは、負荷抵抗の値によらず、そのドレイン電流がほぼ等しい値に保たれるように接続されている。そして該カレントミラー回路を用いてOLED駆動電流を制御することで、トランジスタの特性によってOLED駆動電流が左右されるのを抑え、また、温度変化に左右されずに一定の輝度を得ることができる。



【特許請求の範囲】

【請求項1】発光素子が備えられた複数の画素を有する発光装置であって、

前記画素は、供給された電流を電圧に変換し、なおかつ

前記変換された電圧に応じた大きさの第1の電流を前記発光素子に供給する手段と、前記変換された電圧に応じた大きさの第2の電流を前記発光素子に供給する手段とを有することを特徴とする発光装置。

【請求項2】発光素子が備えられた複数の画素と、ビデオ信号によって定められた電流を前記画素に供給する手段とを有する発光装置であって、

前記画素は、前記供給された電流を電圧に変換し、なおかつ前記変換された電圧に応じた大きさの第1の電流を

前記発光素子に供給する手段と、前記変換された電圧に応じた大きさの第2の電流を前記発光素子に供給する手段とを有することを特徴とする発光装置。

【請求項3】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、共にソースが前記電源線に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインに、もう一方は前記第2のトランジスタのドレインに接続されており、

前記第2のトランジスタのドレインは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項4】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、共にソースが前記電源線に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタの

10

ゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインに、もう一方は前記第2のトランジスタのドレインに接続されており、

前記第2のトランジスタのドレインは、前記発光素子の画素電極に接続されており、

前記第3のトランジスタと前記第5のトランジスタのゲートが接続されていることを特徴とする発光装置。

10

【請求項5】請求項4において、前記第3のトランジスタと前記第5のトランジスタは、極性が異なることを特徴とする発光装置。

【請求項6】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であって、

前記第1のトランジスタと前記第2のトランジスタは、共にソースが前記電源線に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

20

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインに、もう一方は前記第2のトランジスタのドレインに接続されており、

30

前記第2のトランジスタのドレインは、前記発光素子の画素電極に接続されており、

前記第3のトランジスタと、前記第4のトランジスタと、前記第5のトランジスタとは、ゲートが互いに接続されていることを特徴とする発光装置。

30

【請求項7】請求項6において、前記第3のトランジスタと前記第4のトランジスタは極性が同じであり、前記第3のトランジスタ及び前記第4のトランジスタは、前記第5のトランジスタと極性が異なることを特徴とする発光装置。

40

【請求項8】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であって、前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1及び前記第2のトランジスタのソースに接続されており、

50

前記第4のトランジスタのソースとドレインは、一方は前記第1及び前記第2のトランジスタのゲートに接続さ

前記第6のトランジスタのソースは、前記第1のトランジスタのドレインに接続されており、
前記第2のトランジスタのドレインは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項14】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であつて、

前記第1のトランジスタと前記第2のトランジスタは、共にソースが前記電源線に接続されており、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインに、もう一方は前記

第6のトランジスタのソースに接続されており、

前記第6のトランジスタのゲートは、前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第6のトランジスタのドレインは、前記第2のトランジスタのドレインに接続されており、

前記第2のトランジスタのドレインは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項15】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であつて、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第2のトランジスタのドレイン及び前記電源線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第1及び前記第2のトランジスタのソースは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項16】第1のトランジスタと、第2のトランジ

スタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であつて、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのドレインに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインもしくは前記信号線に、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第2のトランジスタのドレイン及び前記電源線に、もう一方は前記第6のトランジスタのドレインに接続されており、

前記第6のトランジスタのソースは前記第1のトランジスタのドレインに接続されており、

前記第1及び前記第2のトランジスタのソースは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項17】第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、発光素子と、電源線と、信号線とを有する発光装置であつて、

前記第1のトランジスタと前記第2のトランジスタは、ゲートが互いに接続されており、

前記第3のトランジスタのソースとドレインは、一方は前記信号線に、もう一方は前記第1のトランジスタのソースに接続されており、

前記第4のトランジスタのソースとドレインは、一方は前記第1のトランジスタのドレインに、もう一方は前記第1及び前記第2のトランジスタのゲートに接続されており、

前記第5のトランジスタのソースとドレインは、一方は前記第1のトランジスタのソースに、もう一方は前記第2のトランジスタのソースに接続されており、

前記第1及び前記第2のトランジスタのドレインは前記電源線に接続されており、

前記第2のトランジスタのソースは、前記発光素子の画素電極に接続されていることを特徴とする発光装置。

【請求項18】請求項3乃至請求項17のいずれか1項において、前記第1のトランジスタと前記第2のトランジスタは、極性が同じであることを特徴とする発光装置。

【請求項19】発光素子が備えられた複数の画素を有する発光装置であつて、

前記画素は、供給された電流を電圧に変換する第1の手段及び第2の手段を有し、

前記第2の手段は、前記変換された電圧に応じた大きさの電流を前記発光素子に供給することを特徴とする発光装置。

【請求項20】発光素子が備えられた複数の画素と、ビデオ信号によって定められた電流を前記画素に供給する手段とを有する発光装置であって、

前記画素は、前記供給された電流を電圧に変換する第1の手段及び第2の手段を有し、

前記第2の手段は、前記変換された電圧に応じた大きさの電流を前記発光素子に供給することを特徴とする発光装置。

【請求項21】請求項1乃至請求項20のいずれか1項において、前記発光装置を用いることを特徴とする電子機器。

【請求項22】複数の画素を有する素子基板であって、前記画素は、供給された電流を電圧に変換し、なおかつ前記変換された電圧に応じた大きさの第1の電流を発光素子に供給する手段と、前記変換された電圧に応じた大きさの第2の電流を前記発光素子に供給する手段とを有することを特徴とする素子基板。

【請求項23】複数の画素と、ビデオ信号によって定められた電流を前記画素に供給する手段とを有する素子基板であって、

前記画素は、前記供給された電流を電圧に変換し、なおかつ前記変換された電圧に応じた大きさの第1の電流を発光素子に供給する手段と、前記変換された電圧に応じた大きさの第2の電流を前記発光素子に供給する手段とを有することを特徴とする素子基板。

【請求項24】複数の画素を有する素子基板であって、前記画素は、供給された電流を電圧に変換する第1の手段及び第2の手段を有し、

前記第2の手段は、前記変換された電圧に応じた大きさの電流を発光素子に供給することを特徴とする素子基板。

【請求項25】複数の画素と、ビデオ信号によって定められた電流を前記画素に供給する手段とを有する素子基板であって、

前記画素は、前記供給された電流を電圧に変換する第1の手段及び第2の手段を有し、

前記第2の手段は、前記変換された電圧に応じた大きさの電流を発光素子に供給することを特徴とする素子基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した発光パネルに関する。また、該発光パネルにコントローラを含むIC等を実装した、発光モジュールに関する。なお本明細書において、発光パネル及び発光モジュールを共に発光装置と総称する。また本発明は、該発光装置の駆動

方法及び該発光装置を用いた電子機器に関する。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【0002】

【従来の技術】発光素子は自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED(Organic Light Emitting Diode)や、FED(Field Emission Display)に用いられているMIM型の電子源素子(電子放出素子)等を含んでいる。

【0004】OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる有機化合物(有機発光材料)を含む層(以下、有機発光層と記す)と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0005】なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。これらの層の中に無機化合物を含んでいる場合もある。

【0006】

【発明が解決しようとする課題】図25に、一般的な発光装置の画素の構成を示す。図25に示した画素は、TFT50、51と、保持容量52と、発光素子53とを有している。

【0007】TFT50は、ゲートが走査線55に接続されており、ソースとドレインが一方は信号線54に、もう一方はTFT51のゲートに接続されている。TFT51は、ソースが電源56に接続されており、ドレンが発光素子53の陽極に接続されている。発光素子53の陰極は電源57に接続されている。保持容量52はTFT51のゲートとソース間の電圧を保持するように設けられている。

【0008】走査線55の電圧によりTFT50がオン

になると、信号線 5 4 に入力されたビデオ信号が TFT 5 1 のゲートに入力される。ビデオ信号が入力される と、入力されたビデオ信号の電圧に従って、TFT 5 1 のゲート電圧（ゲートとソース間の電圧差）が定まる。そして、該ゲート電圧によって流れる TFT 5 1 のドレイン電流は、発光素子 5 3 に供給され、発光素子 5 3 は供給された電流によって発光する。

【0009】ところで、ポリシリコンで形成された TFT は、アモルファスシリコンで形成された TFT よりも電界効果移動度が高く、オン電流が大きいので、発光素子パネルのトランジスタとしてより適している。

【0010】しかし、ポリシリコンを用いて TFT を形成しても、その電気的特性は所詮単結晶シリコン基板に形成される MOS トランジスタの特性に匹敵するものではない。例えば、電界効果移動度は単結晶シリコンの 1 / 10 以下である。また、ポリシリコンを用いた TFT は、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0011】図 25 に示した画素において、TFT 5 1 の閾値やオン電流等の特性が画素毎にばらつくと、ビデオ信号の電圧が同じであっても TFT 5 1 のドレイン電流の大きさが画素間で異なり、発光素子 5 3 の輝度にばらつきが生じる。

【0012】そこで、上述した問題を回避するために、TFT の特性に左右されずに発光素子に流れる電流の大きさを制御できる、様々な種類の電流入力型の画素の構成が考案されている。以下に、代表的な電流入力型の画素を 2 つ例示し、その構成について説明する。

【0013】まず、特開 2001-147659 号に記載の電流入力型の画素の構成について、図 26 (A) を用いて説明する。

【0014】図 26 (A) に記載の画素は、TFT 1 1、1 2、1 3、1 4 と、保持容量 1 5 と、発光素子 1 6 とを有している。

【0015】TFT 1 1 は、ゲートが端子 1 8 に接続され、ソースとドレインが一方は電流源 1 7 に、他方は TFT 1 3 のドレインに接続されている。TFT 1 2 は、ゲートが端子 1 9 に、ソースとドレインが一方は TFT 1 3 のドレインに、他方は TFT 1 3 のゲートに接続されている。TFT 1 3 と TFT 1 4 は、ゲートが互いに接続されており、ソースが共に端子 2 0 に接続されている。TFT 1 4 のドレインは発光素子 1 6 の陽極に接続されており、発光素子 1 6 の陰極は端子 2 1 に接続されている。保持容量 1 5 は TFT 1 3 及び 1 4 のゲートとソース間の電圧を保持するように設けられている。端子 2 0、2 1 には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0016】端子 1 8、1 9 に与えられる電圧により TFT 1 1、1 2 がオンになった後、電流源 1 7 によって TFT 1 3 のドレイン電流が制御される。ここで、TFT 50

T 1 3 はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は以下の式 1 で表される。なお、 V_{GS} はゲート電圧、 μ を移動度、 C_s を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{TH} を閾値、ドレイン電流を I とする。

【0017】

$$[式 1] I = \mu C_s W/L (V_{GS} - V_{TH})^2 / 2$$

【0018】式 1 において μ 、 C_s 、 W/L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値である。式 1 から、TFT 1 3 のドレイン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、式 1 に従うと、ドレイン電流に見合った値のゲート電圧 V_{GS} が、TFT 1 3 において発生する。

【0019】このとき、TFT 1 3 と TFT 1 4 はそのゲートとソースが互いに接続されているため、TFT 1 4 のゲート電圧が TFT 1 3 のゲート電圧と同じ大きさに保たれる。

【0020】よって、TFT 1 3 と TFT 1 4 はドレイン電流が比例関係にある。特に、 μ 、 C_s 、 W/L 、 V_{TH} の値が同じであれば、TFT 1 3 と TFT 1 4 はドレイン電流が同じになる。TFT 1 4 に流れるドレイン電流は発光素子 1 6 に供給され、該ドレイン電流の大きさに見合った輝度で発光素子 1 6 は発光する。

【0021】そして、端子 1 8、1 9 に与えられる電圧により TFT 1 1、1 2 がオフになった後も、TFT 1 4 のゲート電圧が保持容量 1 5 によって保持されている限り、発光素子 1 6 は発光し続ける。

【0022】このように、図 26 (A) に示した画素は、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手段とを有している。図 27 (A) に、図 26 (A) に示した画素が有する手段と、その発光素子との関係をブロック図で示す。画素 8 0 は、画素に供給された電流を電圧に変換して保持する手段である変換部 8 1 と、該保持された電圧に応じた大きさの電流を発光素子に流す手段である駆動部 8 2 と、発光素子 8 3 とを有する。画素 8 0 に供給された電流は変換部 8 1 において電圧に変換され、該電圧は駆動部 8 2 に与えられる。駆動部 8 2 では与えられた電圧に見合った大きさの電流を発光素子 8 3 に供給する。

【0023】具体的に図 26 (A) では、TFT 1 2、TFT 1 3 及び保持容量 1 5 が、供給された電流を電圧に変換して保持する手段に相当する。また、TFT 1 4 が保持された電圧に応じた大きさの電流を発光素子に流す手段に相当する。

【0024】次に、Tech. Digest IEDM 98, 875. R. M. A. Dawson etc. に記載の電流入力型の画素の構成について、図 26 (B) を用いて説明する。図 26 (B) に記載の画素は、TFT 3 1、3 2、3 3、3 4 と、保持

容量35と、発光素子36とを有している。

【0025】TFT31はゲートが端子38に接続され、ソースとドレインが一方は電流源37に、他方はTFT33のソースに接続されている。また、TFT34はゲートが端子38に接続され、ソースとドレインが一方はTFT33のゲートに、他方はTFT33のドレンに接続されている。TFT32は、ゲートが端子39に、ソースとドレインが、一方は端子40に、他方はTFT33のソースに接続されている。TFT34のドレンは発光素子36の陽極に接続されており、発光素子36の陰極は端子41に接続されている。保持容量35はTFT33のゲートとソース間の電圧を保持するように設けられている。端子40、41には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0026】端子38に与えられる電圧によりTFT31及び34がオンになり、かつ端子39に与えられる電圧によりTFT32がオフになった後、電流源37によってTFT33のドレン電流が制御される。ここで、TFT33はゲートとドレインが接続されているため飽和領域で動作しており、そのドレン電流は上述の式1で表される。式1から、TFT33のドレン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、式1に従うと、ドレン電流に見合った値のゲート電圧 V_{GS} が、TFT33において発生する。

【0027】TFT33に流れるドレン電流は発光素子36に供給され、該ドレン電流の大きさに見合った輝度で発光素子36は発光する。

【0028】そして、端子38に与えられる電圧によりTFT31、34がオフになった後、端子39に与えられる電圧によりTFT32がオンになる。このとき、TFT33のゲート電圧が保持容量35によって保持されている限り、TFT31、34がオンであったときと同じ輝度で発光素子36は発光し続ける。

【0029】このように、図26(B)に示した画素は、画素に供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段を有している。つまり、図26(B)に示した画素の場合は、図26(A)に備えられた2つの手段が有する機能を1つの手段で賄っていることになる。図27

(B)に、図26(B)に示した画素が有する手段と、その発光素子との関係をブロック図で示す。図27

(B)では、変換部の有する機能と、駆動部の有する機能とを1つの手段で賄っている。つまり、画素85に供給された電流は、変換部でありなおかつ駆動部である手段86によって電圧に変換された後、該電圧に見合った大きさの電流を発光素子87に供給している。

【0030】具体的に図26(B)では、TFT33、TFT34及び保持容量35が、供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの

電流を発光素子に流す手段に相当する。

【0031】上述した図26(A)、(B)に示す画素は、TFTの閾値やオン電流等の特性が画素毎にばらついていても、電流源により発光素子に流れる電流の大きさを制御するので、画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。

【0032】また一般的に発光素子は、電極間の電圧を一定に保って発光させた場合と、電極間の電流を一定に保って発光させた場合とでは、後者の方が、有機発光材料の劣化による輝度の低下を抑えることができる。したがって、図26(A)、(B)に例示した電流入力型の2つの画素の場合、有機発光材料の劣化の影響を受けずに、発光素子に流れる電流を常に所望の値に保つことができるので、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。

【0033】また、発光素子の輝度と、有機発光層に流れる電流の大きさは比例関係にある。有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、電流入力型の発光装置では発光素子に流れる電流を一定に保つことができるので、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0034】しかし、上述した2つの画素もそれぞれ課題を有している。

【0035】図26(A)に代表されるような、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手段の2つの手段を有する画素の場合、いずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れてしまうことがある。すると、駆動部から発光素子に供給される電流の大きさが所望の値に保たれなくなり、画素間で発光素子の輝度にばらつきが生じてしまう。

【0036】具体的に図26(A)では、TFT13またはTFT14において、TFTに固有の特性である μ 、 C_s 、 V_{TH} や、 W/L がずれてしまった場合、TFT13のドレン電流に対するTFT14のドレン電流の比が画素間で異なってしまい、画素間において発光素子の輝度のばらつきが生じてしまう。

【0037】一方、図26(B)に代表されるような、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流す手段を有する画素の場合、画素に供給された電流を電圧に変換する際に発光素子に電流が流れる。発光素子は比較的大きな容量を有している。そのため、例えば低い階調から高い階調へ表示が変化する場合、発光素子の有する容量に電荷がたまるまで、電流から変換される電圧の値が安定しない。よって、低い階調から高い階調へ表示が変化するのに時間がかかるてしまう。また逆に、高い

階調から低い階調へ表示が変化する場合、発光素子の有する容量が有する余分な電荷が放出されるまで、電流から変換される電圧の値が安定しない。よって、高い階調から低い階調へ表示が変化するのに時間がかかってしまう。

【0038】具体的に図26 (B) では、電流源37から供給される電流の値が変わったときに、TFT33のゲート電圧が安定するのに時間がかかり、電流を書き込む時間が長くなる。その結果、例えば、動画表示において残像が視認されてしまうことがある。よって、高速応答で動画表示に向いているという発光素子の特徴を生かしきれない。

【0039】本発明は上述したことに鑑み、TFTの特性の違いに起因する、画素間における発光素子の輝度のばらつきをより抑えることができ、なおかつ残像が視認されにくい、電流駆動型の発光装置の提供を課題とする。

【0040】

【課題を解決するための手段】本発明の第1の構成の発光装置は、画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子に流す第1の手段と、第1の手段において保持された電圧に応じた大きさの電流を発光素子に流す第2の手段とを、画素に備えている。

【0041】図1に本発明の第1の構成の画素が有する手段と、その発光素子との関係をブロック図で示す。本発明の画素90は、画素90に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を、画素90が有する発光素子93に流す第1の手段91を有している。つまり第1の手段91は、変換部でありかつ駆動部でもある。なお以下、第1の手段91が有する駆動部を、駆動部Aと呼ぶ。また、画素90は、第1の手段において変換され保持されている電圧の大きさに応じて、電流を発光素子93に流す第2の手段を備えている。以下、第2の手段92である駆動部を駆動部Bと呼ぶ。

【0042】つまり、本発明の第1の構成の画素では、変換部でもあり駆動部Aでもある第1の手段91からの電流I₁と、駆動部Bである第2の手段92からの電流I₂とが、共に発光素子93に供給される。発光素子93は、電流I₁と電流I₂を合わせた大きさの電流により、その輝度が定められる。

【0043】本発明の第1の構成の画素においても、図27 (A) に示した画素のように、第1の手段と第2の手段のいずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れ、駆動部Bから発光素子に供給される電流I₂の大きさが所望の値に保たれなくなることがある。しかし、変換部でも有り駆動部Aでもある第2の手段91から、発光素子93に供給される電流I₂は、特性のずれに左右されずに所望の

値に保たれる。そして、発光素子には電流I₁と電流I₂を合わせた大きさの電流が供給されるため、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27 (A) に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。

【0044】本発明の第2の構成の発光装置は、画素に供給された電流を電圧に変換して保持する第1の手段と、前記画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子に流す第2の手段とを、画素に備えている。

【0045】図36に本発明の第2の構成の画素が有する手段と、その発光素子との関係をブロック図で示す。本発明の画素60は、画素60に供給された電流を電圧に変換して保持する第1の手段61を有している。以下、第1の手段61である変換部を変換部Aと呼ぶ。また、画素60は、前記画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子63に流す第2の手段62を有している。つまり第2の手段62は、変換部でありかつ駆動部でもある。なお以下、第2の手段62が有する変換部を、変換部Bと呼ぶ。

【0046】つまり、本発明の第2の構成の画素では、画素に供給された電流を第1の手段と第2の手段の両方において電圧に変換し、該電圧に応じた電流I₁が、第2の手段の駆動部から発光素子63に供給される。発光素子63は、電流I₁によりその輝度が定められる。

【0047】本発明の第2の構成の画素では、図27 (A) に示した画素のように、第1の手段と第2の手段のいずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れ、駆動部から発光素子に供給される電流I₂の大きさが所望の値に保たれなくなることがある。しかし、2つの変換部A、Bを共に用いることで変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流I₂は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27 (A) に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流I₁よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0048】なお、発光素子が完成する前の形態に相当する素子基板は、上述した第1の手段及び第2の手段を各画素に有していれば良く、発光素子を有していないとも良い。具体的に素子基板は、発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターニングして画素電極を形成する前の状態であっても良いし、あらゆる形態が50あてはまる。

【0049】また、上記第1及び第2の構成の本発明の画素では、第1の手段において画素に供給された電流を電圧に変換する際に、画素に供給された電流は発光素子に流れない。よって、供給された電流から変換された電圧が安定するまでの時間は、発光素子の容量に左右されない。したがって、図27(B)に示した画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0050】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0051】

【発明の実施の形態】(実施の形態1)図2に本発明の発光パネルの構成を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に形成されている。また102は信号線駆動回路、103は走査線駆動回路である。

【0052】なお図2では信号線駆動回路102と走査線駆動回路103が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103とが画素部100と異なる基板上に形成され、FPC等のコネクターを介して、画素部100と接続されていても良い。また、図2では信号線駆動回路102と走査線駆動回路103は1つづつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103の数は設計者が任意に設定することができる。

【0053】なお本明細書において接続とは、特に記載のない限り電気的な接続を意味する。逆に、切り離すとは、接続していない状態を意味する。

【0054】また図2では、画素部100には、図示していないが、信号線S1～Sx、電源線V1～Vx、第1走査線G1～Gy、第2走査線P1～Py、第3走査線R1～Ryが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第1走査線と、第2走査線と、第3走査線の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していないとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0055】電源線V1～Vxは所定の電圧に保たれて

いる。なお図2ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電圧の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0056】なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。

【0057】図3に、図2で示した画素101の詳しい構成を示す。図3に示す画素101は、信号線S1(S1～Sxのうちの1つ)、第1走査線Gj(G1～Gyのうちの1つ)、第2走査線Pj(P1～Pyのうちの1つ)、第3走査線Rj(R1～Ryのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0058】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子104及び保持容量105を有している。保持容量105はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0059】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0060】なお本明細書では、nチャネル型トランジスタのソースに与えられる電圧は、ドレインに与えられる電圧よりも低いものとする。また、pチャネル型トランジスタのソースに与えられる電圧は、ドレインに与えられる電圧よりも高いものとする。

【0061】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方は信号線Siに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。

【0062】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0063】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレインは、発光素子104の画素電極に接続されている。

【0064】保持容量105が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は電源線Viに接続されている。

【0065】発光素子104は陽極と陰極を有してお

り、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0066】電源線V_iの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0067】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0068】トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0069】次に、本実施の形態の発光装置の動作について、図4、図5を用いて説明する。本発明の第1の構成の発光装置の動作は、各ラインの画素毎に書き込み期間T_aと表示期間T_dとに分けて説明することができる。図4に、第1～3走査線のタイミングチャートを示す。走査線が選択されている期間、言いかえると該走査線にゲートが接続されているトランジスタが全てオンの状態にある期間は、ONで示す。逆に、走査線が選択されていない期間、言いかえると該走査線にゲートが接続されているトランジスタが全てオフの状態にある期間は、OFFで示す。また図5は、書き込み期間T_aと表示期間T_dにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0070】まず、1ライン目の画素において書き込み期間T_aが開始される。書き込み期間T_aが開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタTr3とトランジスタTr4がオンになる。なお、第3走査線R1は選択されていないので、トランジスタTr5はオフになっている。

【0071】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた電流（以下、信号電流I_c）が流れる。なお本明細書において信号電流I_cを信号電流と呼ぶ。

【0072】図5（A）に、書き込み期間T_aにおいて、信号線S_iにビデオ信号に応じた信号電流I_cが流れた場合の、画素101の概略図を示す。106は対向電極に電圧を与える電源との接続用の端子を意味している。また、107は信号線駆動回路102が有する定電流源を意味する。

【0073】トランジスタTr3はオンの状態にあるので、信号線S_iにビデオ信号に応じた信号電流I_cが流

れると、信号電流I_cはトランジスタTr1のドレンインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレンインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧V_{gs}は電流値I_cによって定まる。

【0074】そしてトランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。よって、トランジスタTr2のドレンイン電流は、トランジスタTr1のドレンイン電流に比例する。特に、 $\mu C_w W / L$ 及びV_{th}が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレンイン電流は互いに等しくなり、I_c = I_cとなる。

【0075】そして、トランジスタTr2のドレンイン電流I_cは発光素子104に流れる。発光素子に流れる電流は、定電流源107において定められた信号電流I_cに応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子104は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子104は発光しない。

【0076】1ライン目の画素において書き込み期間T_aが終了すると、第1走査線G1、第2走査線P1の選択が終了する。このとき、第2走査線P1の選択が、第1走査線G1よりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまふと、保持容量105の電荷がTr4を通って漏れてしまうからである。そして、2ライン目の画素において書き込み期間T_aが開始され、第1走査線G2、第2走査線P2が選択される。よって、2ライン目の画素においてトランジスタTr3とトランジスタTr4がオンになる。そして、第3走査線R2は選択されていないので、トランジスタTr5はオフになる。

【0077】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に信号電流I_cが流れる。そして、信号電流I_cに応じた大きさの電流が発光素子104に流れ、該電流の大きさに従って発光素子104が発光する。

【0078】次に、2ライン目の画素において書き込み期間T_aが終了し、その後、2ライン目からyライン目の画素まで順に書き込み期間T_aが開始され、上述した動作が繰り返される。

【0079】一方、1ライン目の画素において書き込み期間T_aが終了すると、次に表示期間T_dが開始される。表示期間T_dが開始されると、第3走査線R1が選択され、1ライン目の画素においてトランジスタTr5がオンになる。なお、第1走査線G1及び第2走査線P1は選択されていないので、トランジスタTr3及びT

r 4 はオフになっている。

【0080】図5 (B) に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のソースは電源線Viに接続されており、一定の電圧(電源電圧)が与えられている。

【0081】一方トランジスタTr1、Tr2においては、書き込み期間Taにおいて定められたVcsがそのまま保持されている。そのため、トランジスタTr1のドレン電流I1と、トランジスタTr2のドレン電流I2の値は、共に信号電流Icに応じた大きさに維持されたままである。また、トランジスタTr5がオンなので、トランジスタTr1のドレン電流I1と、トランジスタTr2のドレン電流I2は、共に発光素子104に流れる。よって、ドレン電流I1と、ドレン電流I2を合わせた電流の大きさに見合った輝度で、発光素子104は発光する。

【0082】そして2ライン目の画素において書き込み期間Taが終了すると、次に2ライン目の画素において表示期間Tdが開始される。そして1ライン目の画素と同様に、第3走査線R2が選択され、トランジスタTr5がオンになる。なお、第1走査線G2及び第2走査線P2は選択されていないので、トランジスタTr3及びTr4はオフになっている。そして、ドレン電流I1と、ドレン電流I2を合わせた電流が発光素子104に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子104は発光する。

【0083】そして、2ライン目の画素において表示期間Tdが開始されると、その後、3ライン目からyライン目の画素まで順に表示期間Tdが開始され、上述した動作が繰り返される。

【0084】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始され、上述した動作が繰り返される。

【0085】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子104が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。なお、書き込み期間Taにおいても、ドレン電流I1の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えばVGAだと480ラインの画素が画素部に設けられており、1ラインの画素の書き込み期間Taは1フレーム期間の1/480程度と非常に小さいからである。もちろん、書き込み期間Taにおける発光素子に流れる電流の階調への影響を考慮に入れて、信号電流Icの大きさを補正するようにしても良い。

【0086】本発明の第1の構成の画素では、表示期間

において発光素子に流れる電流はドレン電流I1と、ドレン電流I2の和である。よって、発光素子に流れる電流がドレン電流I1のみに依存していない。そのため、トランジスタTr1とトランジスタTr2の特性がずれて、トランジスタTr1のドレン電流I1に対するトランジスタTr2のドレン電流I2の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

10 【0087】また、本発明の画素では、書き込み期間TaにおいてトランジスタTr1のドレン電流は発光素子に流れていません。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

20 【0088】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0089】なお、本実施の形態において、トランジスタTr4のソースとドレンは、一方は信号線Siに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第1の構成の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレンを接続し、表示期間においてトランジスタTr1のゲートとドレンを切り離すことができるように、トランジスタTr4が他の素子または配線と接続されれば良い。

【0090】つまり、Tr3、Tr4、Tr5は、Taでは図5 (A) のように接続され、Tdでは図5 (B) のように接続されれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0091】(実施の形態2) 本実施の形態では、図2に示した発光装置が有する画素101の、図3とは異なる構成について説明する。

【0092】図6に、図2で示した画素101の詳しい構成を示す。図6に示す画素101は、信号線Si (S

1～Sxのうちの1つ)、第1走査線Gj (G1～Gyのうちの1つ)、第2走査線Pj (P1～Pyのうちの1つ)、第3走査線Rj (R1～Ryのうちの1つ)及び電源線Vi (V1～Vxのうちの1つ)を有している。

【0093】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、トランジスタTr6、発光素子214及び保持容量215を有している。保持容量215はトランジスタTr1及びTr2のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0094】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0095】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方は電源線Viに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0096】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1及びTr2のソースに、もう一方は発光素子214の画素電極に接続されている。

【0097】トランジスタTr6のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr6のソースとドレインは、一方は電源線に、もう一方はトランジスタTr2のドレインに接続されている。

【0098】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。そして、トランジスタTr1のドレインは、電源線Viに接続されている。

【0099】保持容量215が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0100】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0101】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2

2はpチャネル型トランジスタであるのが望ましい。

【0102】トランジスタTr3、Tr4、Tr5、Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr5とTr6は共にゲートが第3走査線Rjに接続されているため、その極性を同じにする。トランジスタTr5のゲートとTr6のゲートが同じ配線に接続されていない場合、その極性は同じでなくとも良い。

【0103】次に、本実施の形態の発光装置の動作について説明する。図6に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0104】また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図7は、図6に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0105】まず、1ライン目の画素において書き込み期間Taが開始される。書き込み期間Taが開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタTr3、Tr4がオンになる。なお、第3走査線R1は選択されていないので、トランジスタTr5、Tr6はオフになっている。

【0106】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線Si～Sxと電源線Vi～Vxの間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0107】図7(A)に、書き込み期間Taにおいて、信号線Siに信号電流Icが流れた場合の、画素101の概略図を示す。216は対向電極に電圧を与える電源との接続用の端子を意味している。また、217は信号線駆動回路102が有する定電流源を意味する。

【0108】トランジスタTr3はオンの状態にあるので、信号線Siに信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れれる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成立立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0109】そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。

【0110】なお、書き込みTaでは、トランジスタTr2のドレインは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従っ

て、トランジスタ T_{r2} にドレイン電流は流れない。

【0111】1ライン目の画素において書き込み期間 T_a が終了すると、第1走査線 G_1 、第2走査線 P_1 の選択が終了する。このとき、第2走査線 P_1 の選択が、第1走査線 G_1 よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 215 の電荷が T_{r4} を通して漏れてしまうからである。そして、2ライン目の画素において書き込み期間 T_a が開始され、第1走査線 G_2 、第2走査線 P_2 が選択される。よって、2ライン目の画素においてトランジスタ T_{r3} とトランジスタ T_{r4} がオンになる。そして、第3走査線 R_2 は選択されていないので、トランジスタ T_{r5} 、 T_{r6} はオフになる。

【0112】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に信号電流 I_c が流れる。そして、信号電流 I_c によってトランジスタ T_{r1} のゲート電圧が定められる。

【0113】そして、2ライン目の画素において書き込み期間 T_a が終了し、その後、3ライン目から y ライン目の画素まで順に書き込み期間 T_a が開始され、上述した動作が繰り返される。

【0114】一方、1ライン目の画素において書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第3走査線 R_1 が選択される。よって、1ライン目の画素においてトランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第1走査線 G_1 及び第2走査線 P_1 は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0115】図7 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のドレインは電源線 V_i に接続されており、一定の電圧 (電源電圧) が与えられている。

【0116】一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{t1} がそのまま保持されている。よって、トランジスタ T_{r1} と同じゲート電圧がトランジスタ T_{r2} に与えられる。さらに、トランジスタ T_{r6} がオンになり、トランジスタ T_{r2} のドレインは電源線 V_i に接続されるので、トランジスタ T_{r2} のドレイン電流は、トランジスタ T_{r1} のドレイン電流に比例する大きさになる。特に、 $\mu C_o W / L$ 及び V_{t1} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_{r1} = I_{r2} = I_c$ となる。

【0117】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレイン電流 I_{r1} 及び、トランジスタ T_{r2} のドレイン電流 I_{r2} は、共に発光素子に流れる電流として発光素子 214 に流れる。よって、表示期間

10

20

30

30

40

40

50

T_d では、ドレイン電流 I_{r1} 及び、ドレイン電流 I_{r2} を合わせた大きさの電流が発光素子 214 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 214 が発光する。

【0118】そして1ライン目の画素において表示期間 T_d が開始されると、次に2ライン目の画素において表示期間 T_d が開始される。そして1ライン目の画素と同様に、第3走査線 R_2 が選択され、トランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第1走査線 G_2 及び第2走査線 P_2 は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。よって、ドレイン電流 I_{r1} 及び、ドレイン電流 I_{r2} を合わせた電流の大きさに見合った輝度で、発光素子 214 は発光する。

【0119】そして、2ライン目の画素において表示期間 T_d が開始された後、3ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0120】書き込み期間 T_a と、表示期間 T_d が終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

【0121】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 214 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。

【0122】本発明の第1の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_{r1} 及び、ドレイン電流 I_{r2} の和である。よって、発光素子に流れる電流がドレイン電流 I_{r1} のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r1} のドレイン電流 I_{r1} に対するトランジスタ T_{r2} のドレイン電流 I_{r2} の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0123】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_{r1} のドレイン電流は発光素子に流れていません。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレイン電流が流れることでゲート電圧が変化はじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0124】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐ

くことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0125】なお、本実施の形態において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第1の構成の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間TdにおいてトランジスタTr1のゲートとドレインを切り離すことができるよう、トランジスタTr4が他の素子または配線と接続されていれば良い。

【0126】つまり、Tr3、Tr4、Tr5、Tr6は、Taでは図7(A)のように接続され、Tdでは図7(B)のように接続されていれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0127】また、トランジスタTr5は、書き込み期間Taにおいて信号電流IcとトランジスタTr1のドレイン電流I_dを等しい値に近づけるために設けられている。トランジスタTr5のソースとドレインは、一方はトランジスタTr1及びTr2のソースに、もう一方は発光素子214の画素電極に必ずしも接続している必要はない。トランジスタTr5は、書き込み期間Taにおいて、トランジスタTr2のソースが発光素子214の画素電極と信号線Siとのいずれか一方に接続されるように、他の配線または素子と接続していれば良い。

【0128】つまり、TaにおいてTr1を流れる電流は全て電流源で制御されていれば良い。TdにおいてはTr1とTr2を流れる電流は発光素子に流れれば良い。

【0129】(実施の形態3) 本実施の形態では、図2に示した発光装置が有する画素101の、図3、図6とは異なる構成について説明する。本実施の形態は図6におけるTr5とTr6の位置を変えたものである。どちらか一方だけ変えて良い。

【0130】図8に、図2で示した画素101の詳しい構成を示す。図8に示す画素101は、信号線Si(S1～Sxのうちの1つ)、第1走査線Gj(G1～Gyのうちの1つ)、第2走査線Pj(P1～Pyのうちの1つ)、第3走査線Rj(R1～Ryのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0131】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジ

タTr4、トランジスタTr5、トランジスタTr6、発光素子224及び保持容量225を有している。保持容量225はトランジスタTr1及びTr2のゲート電圧をより確実に保持するため設けられているが、必ずしも設ける必要はない。

【0132】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のソースに接続されている。

【0133】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方は電源線Viに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0134】トランジスタTr6のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr6のソースとドレインは、一方はトランジスタTr2のソースに、もう一方は発光素子224の画素電極に接続されている。

【0135】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のソースに、もう一方は発光素子224の画素電極に接続されている。

【0136】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1及びTr2のドレインは、電源線Viに接続されている。

【0137】保持容量225が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1のソースに接続されている。

【0138】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0139】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。

【0140】トランジスタTr3、Tr4、Tr5、Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr5とTr6は共にゲートが第3走査線Rjに接続されているため、その極性を同じにする。トランジスタTr5のゲートとTr6のゲートが同じ配線に接続されている

い場合、その極性は同じでなくとも良い。

【0141】次に、本実施の形態の発光装置の動作について説明する。図8に示した画素を有する発光装置の動作は、図3、図6に示した画素の場合と同様に、書き込み期間 T_a と表示期間 T_d とに分けて説明することが可能である。

【0142】また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図9は、図8に示した画素の、書き込み期間 T_a と表示期間 T_d におけるトランジスタ T_{r1} とトランジスタ T_{r2} の接続を、簡単に示した図である。

【0143】まず、1ライン目の画素において書き込み期間 T_a が開始される。書き込み期間 T_a が開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタ T_{r3} 、 T_{r4} がオンになる。なお、第3走査線R1は選択されていないので、トランジスタ T_{r5} 、 T_{r6} はオフになっている。

【0144】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線 S_1 ～ S_x と電源線 V_1 ～ V_x の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0145】図9（A）に、書き込み期間 T_a において、信号線 S_i に信号電流 I_c が流れた場合の、画素101の概略図を示す。226は対向電極に電圧を与える電源との接続用の端子を意味している。また、227は信号線駆動回路102が有する定電流源を意味する。

【0146】トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i に信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れ。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{cs} は電流値 I_c によって定まる。

【0147】なお、書き込み期間 T_a では、トランジスタ T_{r6} がオフであるので、トランジスタ T_{r2} のソースは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従って、トランジスタ T_{r2} にドレイン電流は流れない。

【0148】1ライン目の画素において書き込み期間 T_a が終了すると、第1走査線G1、第2走査線P1の選択が終了する。このとき、第2走査線P1の選択が、第1走査線G1よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量225の電荷が T_{r4} を通って漏れてしまうからである。そして、2ライン目の画素において書き込み期間 T_a が開始され、第1走査線G2、第2走査線P2が選択される。よって、2ライン目の画素においてトランジスタ T_{r3} とトランジスタ T_{r4} がオンになる。そして、第3走査線R2は選択されていないので、トランジ

スタ T_{r5} 、 T_{r6} はオフになる。

【0149】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線 S_1 ～ S_x と電源線 V_1 ～ V_x の間に信号電流 I_c が流れる。そして、信号電流 I_c によってトランジスタ T_{r1} のゲート電圧が定められる。

【0150】そして、2ライン目の画素において書き込み期間 T_a が終了し、その後、3ライン目からyライン目の画素まで順に書き込み期間 T_a が開始され、上述した動作が繰り返される。

【0151】一方、1ライン目の画素において書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第3走査線R1が選択される。よって、1ライン目の画素においてトランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第1走査線G1及び第2走査線P1は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0152】図9（B）に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のドレインは電源線 V_1 に接続されており、一定の電圧（電源電圧）が与えられている。

【0153】一方トランジスタ T_{r1} においては、書き込み期間 T_a において定められた V_{cs} がそのまま保持されている。そして、トランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。よって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。さらに、トランジスタ T_{r2} のドレインは電源線 V_1 に接続されているので、トランジスタ T_{r2} のドレイン電流 I_{ds} は、トランジスタ T_{r1} のドレイン電流に比例する大きさになる。特に、 $\mu C_{o}W/L$ 及び V_{ds} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_{ds} = I_c$ となる。

【0154】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレイン電流 I_{ds} と、トランジスタ T_{r2} のドレイン電流 I_{ds} は、共に発光素子に流れる電流として発光素子224に流れる。よって、表示期間 T_d では、ドレイン電流 I_{ds} と、ドレイン電流 I_{ds} を合わせた大きさの電流が発光素子224に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子224が発光する。

【0155】そして1ライン目の画素において表示期間 T_d が開始されると、次に2ライン目の画素において表示期間 T_d が開始される。そして1ライン目の画素と同様に、第3走査線R2が選択され、トランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第1走査線G2及び第

2走査線P2は選択されていないので、トランジスタTr3及びTr4はオフになっている。よって、ドレイン電流I₁と、ドレイン電流I₂を合わせた電流の大きさに見合った輝度で、発光素子214は発光する。

【0156】そして、2ライン目の画素において表示期間Tdが開始されると、3ライン目からyライン目の画素まで順に表示期間Tdが開始され、上述した動作が繰り返される。

【0157】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始されて、上述した動作が繰り返される。

【0158】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子224が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。

【0159】本発明の第1の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流I₁と、ドレイン電流I₂の和である。よって、発光素子に流れる電流がドレイン電流I₂のみに依存していない。そのため、トランジスタTr1とトランジスタTr2の特性がずれて、トランジスタTr1のドレイン電流I₁に対するトランジスタTr2のドレイン電流I₂の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0160】また、本発明の画素では、書き込み期間TaにおいてトランジスタTr1のドレイン電流は発光素子に流れていらない。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0161】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0162】なお、本実施の形態において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1

r1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第1の構成の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間においてトランジスタTr1のゲートとドレインを切り離すことができるよう、トランジスタTr4が他の素子または配線と接続されれば良い。

【0163】つまり、Tr3、Tr4、Tr5、Tr6は、Taでは図9(A)のように接続され、Tdでは図9(B)のように接続されれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0164】TaにおいてTr1を流れる電流は全て電流源で制御されれば良い。TdにおいてはTr1とTr2を流れる電流は発光素子に流れれば良い。

【0165】(実施の形態4) 本実施の形態では、本発明の第2の構成の発光装置が有する画素の構成について説明する。

20 【0166】図37(A)に、本実施の形態の画素の回路図を示す。図37に示す画素は、トランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6、発光素子600S及び保持容量6000を有している。保持容量6000はトランジスタTr1及びTr2のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0167】トランジスタTr3のゲートは端子6002に接続されている。そしてトランジスタTr3のソースとドレインは、一方は端子6001に接続されおり、もう一方はトランジスタTr1のドレインに接続されている。

【0168】トランジスタTr4のゲートは、端子6003に接続されている。そしてトランジスタTr4のソースとドレインは、一方は端子6001に、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0169】トランジスタTr5のゲートは、端子6004に接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0170】トランジスタTr6のゲートは、端子6007に接続されている。そしてトランジスタTr6のソースとドレインは、一方はトランジスタTr2のドレインに、もう一方は発光素子6008の画素電極に接続されている。

【0171】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1及びTr2のソースは、共に端子6005に接続され

【0172】保持容量6000が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0173】発光素子6008の対向電極は端子6006に接続されている。端子6005と端子6006にはそれぞれ電源により電圧が与えられており、常に所定の電圧差が生じている。

【0174】なお、図37(A)では、Tr1及びTr2が共にpチャネル型TFTである場合を示しており、トランジスタTr1とTr2の極性は必ず同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0175】トランジスタTr3～Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。各端子に与えられる電圧との兼ね合いで決めることができる。

【0176】次に、本実施の形態の発光装置の動作について説明する。図37(A)に示した画素を有する発光装置の動作は、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0177】図37(A)に示した画素の、書き込み期間Ta開始時におけるトランジスタTr1とTr2の接続を、図37(B)に簡単に示す。書き込み期間Ta開始時において、Tr3～Tr5はオン、Tr6はオフになる。そして、端子6001に入力されるビデオ信号に基づき、端子6001と端子6005の間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0178】信号電流Icにより、Tr1のソースとドレインの間にドレイン電流I1が、またTr2のソースとドレインの間にドレイン電流I2が流れる。つまり信号電流Icは、ドレイン電流I1とドレイン電流I2の和に相当する。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vcsは電流I1によって定まる。

【0179】そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。

【0180】なお、Tr1とTr2のゲート電圧は同じになるが、 μ 、 C_s 、 W/L の値がTr1とTr2で異なる場合、I1とI2は必ずしも等しくない。

【0181】書き込み期間Taが終了する前に、Tr4

をオフにするのが望ましい。Tr4をオフにしたときのトランジスタTr1とTr2の接続を、図37(C)に簡単に示す。なぜならトランジスタTr3が先にオフになってしまうと、保持容量6000の電荷がTr4を通じて漏れてしまうからである。

【0182】次に、書き込み期間Taが終了すると表示期間Tdが開始される。表示期間Tdが開始されると、Tr3～Tr5がオフになり、Tr6がオンになる。

【0183】図37(D)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr2において、書き込み期間Taで定められたVcsがそのまま保持容量6000により保持されている。さらに、Tr6がオンになるので、Tr2のドレイン電流I1が発光素子6008に供給される。発光素子6008は、該発光素子に供給される電流I1の大きさに見合った輝度で発光する。つまり発光素子に流れる電流の大きさに見合った輝度で発光素子6008が発光するので、各画素の階調は、表示期間Tdにおいて発光素子に流れる電流の大きさで決まる。

【0184】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始されて、上述した動作が繰り返される。

【0185】本発明の第2の構成の画素では、トランジスタTr1とTr2の特性がずれることにより、駆動部から発光素子に供給される電流I1の大きさが所望の値に保たれなくなることがある。しかし、2つのTr1とTr2を共に用いて電流を電圧に変換しているので、変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流I1は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27(A)に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流I1よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0186】また、本発明の画素では、書き込み期間Taにおいて信号電流は発光素子に流れていません。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0187】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が

画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0188】なお、トランジスタTr3、Tr4、Tr5、Tr6の接続は図37(A)に示した構成に限定されない。各期間においてTr1とTr2が図37(B)

～(D)に示したような接続がなされるように、Tr 3、Tr 4、Tr 5、Tr 6の接続を決めれば良い。

【0189】 すなわち、書き込み期間の開始時において、図37 (B) に示すように Tr1 と Tr2 のソースを共に端子 6005 に接続し、Tr1 と Tr2 のゲート及びドレンを、共に端子 6001 に接続する。また保持容量の 2 つの電極は、一方を端子 6005 に、もう一方を Tr1 と Tr2 のゲートに接続する。そして書き込み期間の終了前において、図37 (C) に示すように Tr1 と Tr2 のゲートを接続し、Tr1 と Tr2 のソースを共に端子 6005 に接続し、Tr1 と Tr2 のドレンを共に端子 6001 に接続する。また保持容量の 2 つの電極は、一方を端子 6005 に、もう一方を Tr2 のゲートに接続する。これにより、保持容量 6000 の電荷を保持することができる。なお、保持容量の電荷が保持されていれば良いので、必ずしも Tr1 と Tr2 のゲートが接続されていなくとも良い。Tr1 と Tr2 のゲートが接続されていない場合、Tr1 のゲートとドレンが接続されていても良い。

【0190】表示期間において、図37(D)に示すようにTr1とTr2のゲートを接続し、Tr1とTr2のソースを共に端子6005に接続し、Tr1のドレインもしくはソースをフローティングにし、Tr2のドレインを発光素子の画素電極に接続する。また保持容量の2つの電極は、一方を端子6005に、もう一方をTr2のゲートに接続する。このとき、Tr1とTr2のゲートは接続されていなくても良く、この場合、Tr1のゲートとドレインが接続されていても良い。

【0191】 例えば、Tr3のソースとドレインは、一方は必ず端子6001に接続されているが、他方は必ずしもTr1のドレインに接続されている必要はなく、Tr2のソースとドレインは、一方は必ずTr1及びTr2のゲートに接続されているが、他方は必ずしも端子6001に接続されている必要はなく、Tr1のドレインまたはTr2のドレインに接続されていても良い。また、Tr5のソースとドレインは、一方は必ずTr2のドレインに接続されているが、他方は必ずしもTr1のドレインに接続されている。

ンに接続されている必要はなく、端子 6001 に接続されていても良い。

【0192】(実施の形態5) 本実施の形態では、本発明の第2の構成の発光装置が有する画素の構成について説明する。

【0193】図38(A)に、本実施の形態の画素の回路図を示す。図38に示す画素は、トランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6、発光素子6108及び保持容量6100を有している。保持容量6100はTr1及びTr2のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0194】トランジスタTr3のゲートは端子6102に接続されている。そしてトランジスタTr3のソースとドレインは、一方は端子6101に接続されており、もう一方はトランジスタTr1のソースに接続されている。

【0195】トランジスタTr4のゲートは、端子6103に接続されている。そしてトランジスタTr4のソースとドレインは、一方は端子6105に、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0196】トランジスタTr5のゲートは、端子6104に接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のソースに、もう一方はトランジスタTr2のソースに接続されている。

【0197】トランジスタTr6のゲートは、端子6107に接続されている。そしてトランジスタTr6のソースとドレインは、一方はトランジスタTr2のソースに、もう一方は発光素子6108の画素電極に接続されている。

【0198】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1及びTr2のドレンは、共に端子6105に接続されている。

【0199】保持容量6100が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0200】発光素子6108の対向電極は端子6106に接続されている。端子6105と端子6106にはそれぞれ電源により電圧が与えられており、常に所定の電圧差が生じている。

〔0201〕なお、図38(A)では、Tr1及びTr2が共にnチャネル型FETである場合を示しており、トランジスタTr1とTr2の極性は必ず同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を

対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0202】トランジスタTr3～Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。各端子に与えられる電圧との兼ね合いで決めることができる。

【0203】次に、本実施の形態の発光装置の動作について説明する。図38(A)に示した画素を有する発光装置の動作は、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0204】図38(A)に示した画素の、書き込み期間Ta開始時におけるトランジスタTr1とTr2の接続を、図38(B)に簡単に示す。書き込み期間Ta開始時において、Tr3～Tr5はオン、Tr6はオフになる。そして、端子6101に入力されるビデオ信号に基づき、端子6101と端子6105の間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0205】信号電流Icにより、Tr1のソースとドレインの間にドレイン電流I1が、またTr2のソースとドレインの間にドレイン電流I2が流れる。つまり信号電流Icは、ドレイン電流I1とドレイン電流I2の和に相当する。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流I1によって定まる。

【0206】そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。

【0207】なお、Tr1とTr2のゲート電圧は同じになるが、μ、Cg、W/Lの値がTr1とTr2で異なる場合、I1とI2は必ずしも等しくない。

【0208】書き込み期間Taが終了する前に、Tr4をオフにするのが望ましい。Tr4をオフにしたときのトランジスタTr1とTr2の接続を、図38(C)に簡単に示す。なぜならトランジスタTr3が先にオフになってしまふと、保持容量6100の電荷がTr4を通って漏れてしまうからである。

【0209】次に、書き込み期間Taが終了すると表示期間Tdが開始される。表示期間Tdが開始されると、Tr3～Tr5がオフになり、Tr6がオンになる。

【0210】図38(D)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr2において、書き込み期間Taで定められたVgsがそのまま保持容量6100により保持されている。さらに、Tr6がオンになるので、Tr2のドレイン電流I2が発光素子6108に供給される。発光素子6108は、該発光素子に供給

10

される電流I1の大きさに見合った輝度で発光する。つまり発光素子に流れる電流の大きさに見合った輝度で発光素子6108が発光するので、各画素の階調は、表示期間Tdにおいて発光素子に流れる電流の大きさで決まる。

【0211】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始され、上述した動作が繰り返される。

20

【0212】本発明の第2の構成の画素では、トランジスタTr1とTr2の特性がずれることにより、駆動部から発光素子に供給される電流I1の大きさが所望の値に保たれなくなることがある。しかし、2つのTr1とTr2を共に用いて電流を電圧に変換しているので、変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流I1は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27(A)に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流I1よりも大きい。そのため、電流を書き込む時間を短くすることができる。

20

【0213】また、本発明の画素では、書き込み期間Taにおいて信号電流Icは発光素子に流れていらない。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

30

【0214】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

40

【0215】なお、トランジスタTr3、Tr4、Tr5、Tr6の接続は図38(A)に示した構成に限定されない。各期間においてTr1とTr2が図38(B)～(D)に示したような接続がなされるように、Tr3、Tr4、Tr5、Tr6の接続を決めれば良い。

50

【0216】すなわち、書き込み期間の開始時において、図38 (B) に示すようにTr1とTr2のソースを共に端子6101に接続し、Tr1とTr2のゲート及びドレインを、共に端子6105に接続する。また保持容量の2つの電極は、一方を端子6101に、もう一方をTr1とTr2のゲートに接続する。そして書き込み期間の終了前において、図38 (C) に示すようにTr1とTr2のゲートを接続し、Tr1とTr2のドレインを共に端子6105に接続する。また保持容量の2つの電極は、一方をTr2のソースに、もう一方をTr2のゲートに接続する。これにより、保持容量6100の電荷を保持することができる。なお、保持容量の電荷が保持されていれば良いので、必ずしもTr1とTr2のゲートが接続されていなくとも良い。Tr1とTr2のゲートが接続されていない場合、Tr1のゲートとドレインが接続されていても良い。

【0217】表示期間において、図38 (D) に示すようにTr1とTr2のゲートを接続し、Tr1とTr2のドレインを共に端子6105に接続し、Tr1のソースもしくはドレインをフローティングにし、Tr2のソースを発光素子の画素電極に接続する。また保持容量の2つの電極は、一方をTr2のソースに、もう一方をTr2のゲートに接続する。このとき、Tr1とTr2のゲートは接続されていても良く、この場合、Tr1のゲートとドレインが接続されていても良い。

【0218】例えば、Tr3のソースとドレインは、一方は必ず端子6101に接続されているが、他方は必ずしもTr1のソースに接続されている必要はなく、Tr2のソースに接続されていても良い。また、Tr5のソースとドレインは、一方は必ずTr2のドレインに接続されているが、他方は必ずしもTr1のドレインに接続されている必要はなく、端子6101に接続されていても良い。

【0219】(実施の形態6) 実施の形態1～5では、ビデオ信号がアナログの場合について説明したが、デジタルのビデオ信号を用いて駆動させることも可能である。

【0220】デジタルのビデオ信号を用いた時間階調の駆動方法(デジタル駆動法)の場合、1フレーム期間中に書き込み期間Taと表示期間Tdが繰り返し出現することで、1つの画像を表示することが可能である。

【0221】例えばnビットのビデオ信号によって画像を表示する場合、少なくともn個の書き込み期間と、n個の表示期間とが1フレーム期間内に設けられる。n個の書き込み期間(Ta1～Ta n)と、n個の表示期間(Td1～Td n)は、ビデオ信号の各ビットに対応している。

【0222】書き込み期間Ta m (mは1～nの任意の数)の次には、同じビット数に対応する表示期間、この場合Td mが出現する。書き込み期間Taと表示期間T

50 dとを合わせてサブフレーム期間SFと呼ぶ。mビット目に対応している書き込み期間T amと表示期間Td mとを有するサブフレーム期間はSF mとなる。

【0223】サブフレーム期間SF 1～SF nの長さは、SF 1 : SF 2 : … : SF n = 2⁰ : 2¹ : … : 2ⁿ⁻¹を満たす。

【0224】各サブフレーム期間において、発光素子を発光させるかさせないかが、デジタルのビデオ信号の各ビットによって選択される。そして、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調数を制御することができる。

【0225】なお、表示上の画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。具体的な分割の仕方については、特願2000-267164号において開示されているので、参照することが可能である。

【0226】また、面積階調と組み合わせて階調を表示するようにしても良い。

【0227】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、ポリシリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。

【0228】

【実施例】以下に、本発明の実施例について説明する。

【0229】(実施例1) 本実施例では、図2に示した発光装置が有する画素101の、図3、図6、図8とは異なる構成について説明する。

【0230】図10に、図2で示した画素101の詳しい構成を示す。図10に示す画素101は、信号線Si (S1～Sxのうちの1つ)、第1走査線Gj (G1～Gyのうちの1つ)、第2走査線Pj (P1～Pyのうちの1つ)、第3走査線Rj (R1～Ryのうちの1つ)及び電源線Vi (V1～Vxのうちの1つ)を有している。

【0231】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子234及び保持容量235を有している。保持容量235はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0232】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0233】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレ

インに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0234】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレンに、もう一方はトランジスタTr2のドレンに接続されている。

【0235】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレンは、発光素子234の画素電極に接続されている。

【0236】保持容量235が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は電源線Viに接続されている。

【0237】発光素子234は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0238】電源線Viの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0239】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0240】トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0241】図10に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図3に示した画素の場合と同じであり、実施の形態1の図4及び図5を参照することができるので、ここでは説明を省略する。

【0242】（実施例2）本実施例では、実施の形態1に示した発光装置において、トランジスタTr5のゲートを第1の走査線に接続した場合の、画素の構成について説明する。

【0243】図11に、図2で示した画素101の詳しい構成を示す。図11に示す画素101は、信号線Si(S1～Sxのうちの1つ)、第1走査線Gj(G1～

Gyのうちの1つ)、第2走査線Pj(P1～Pyのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0244】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子244及び保持容量245を有している。保持容量245はトランジスタTr1及びTr2のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0245】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレンに接続されている。

【0246】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレンに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。

【0247】トランジスタTr5のゲートは、第1走査線Gjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレンに、もう一方はトランジスタTr2のドレンに接続されている。

【0248】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレンは、発光素子244の画素電極に接続されている。

【0249】保持容量245が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は電源線Viに接続されている。

【0250】電源線Viの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0251】なお、本実施例では、トランジスタTr1及びTr2はpチャネル型トランジスタを用いている。トランジスタTr1及びTr2は、nチャネル型トランジスタでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。

【0252】なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0253】また、本実施例では、トランジスタTr3のゲートとトランジスタTr5のゲートが接続されているため、トランジスタTr3とTr5の極性は異なって

いる。

【0254】また、本実施例では、トランジスタTr3とTr4は、共にnチャネル型トランジスタを用いている。トランジスタTr3とTr4はpチャネル型トランジスタでも良い。ただし、トランジスタTr3及びTr4の極性は同じである。本実施例においてトランジスタTr3とTr4のゲートを異なる配線に接続したのは、書き込み期間が終了するときに、トランジスタTr4をTr3よりも先にオフにできるようにするためにである。トランジスタTr4をTr3よりも先にオフにすることで、保持容量245の電荷がトランジスタTr4を通って漏れるのを防ぐことができる。

【0255】図11に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図3に示した画素の場合と同じであり、実施の形態1の図5を参照することができるので、ここでは説明を省略する。

【0256】本実施例の発光装置の場合、実施の形態1に示した発光装置に比べて、各画素が有する配線を1つ省くことができる。そのため、作製工程における歩留まりを高くすることができる。また、開口率を高めることができるので、発光素子からの光が配線等の形成されている基板側に発せられる場合、同じ消費電流でも画面を明るくすることができる。

【0257】(実施例3) 本実施例では、実施の形態1に示した発光装置において、トランジスタTr3、Tr4、Tr5のゲートを同じ走査線に接続した場合の、画素の構成について説明する。

【0258】図12に、図2で示した画素101の詳しい構成を示す。図12に示す画素101は、信号線Si(S1～Sxのうちの1つ)、走査線Gj(G1～Gyのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0259】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子254及び保持容量255を有している。保持容量255はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0260】トランジスタTr3のゲートは走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0261】トランジスタTr4のゲートは、走査線Gjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレイン

に、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0262】トランジスタTr5のゲートは、走査線Gjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0263】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレインは、発光素子254の画素電極に接続されている。

【0264】保持容量255が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方は電源線Viに接続されている。

【0265】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0266】なお、本実施例では、トランジスタTr1及びTr2はpチャネル型トランジスタを用いている。トランジスタTr1及びTr2は、nチャネル型トランジスタでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。

【0267】なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0268】また、本実施例では、トランジスタTr3とTr4は、共にnチャネル型トランジスタを用い、トランジスタTr5はpチャネル型トランジスタを用いている。トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタでもpチャネル型トランジスタでも良い。ただし、トランジスタTr3及びTr4の極性は同じであり、トランジスタTr5の極性は、トランジスタTr3及びTr4の逆である。

【0269】図12に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することができる。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図3に示した画素の場合と同じであり、実施の形態1の図5を参照することができるので、ここでは説明を省略する。

【0270】なお、本実施例において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のゲ

ートとドレンを接続し、表示期間においてトランジスタTr1のゲートとドレンを切り離すことができるよう、トランジスタTr4が他の素子または配線と接続されれば良い。つまり、Tr3、Tr4、Tr5は、Taでは図5(A)のように接続され、Tdでは図5(B)のように接続されれば良い。

【0271】本実施例の発光装置の場合、実施の形態1に示した発光装置に比べて、各画素が有する配線を2つ省くことができる。また、実施例2に示した発光装置に比べて、各画素が有する配線を1つ省くことができる。そのため、作製工程における歩留まりを高くすることができる。また、開口率を高めることができるので、発光素子からの光が配線等の形成されている基板側に発せられる場合、同じ消費電流でも画面を明るくすることができる。

【0272】(実施例4) 本発明の発光装置の作成方法の一例について、図13～図17を用いて説明する。本実施例では、図3に示した画素を有する発光装置の作製方法について示す。なお、ここでは代表的に、トランジスタTr3、Tr5と、画素部の周辺に設けられる駆動部のトランジスタを示す。なおトランジスタTr1、Tr2及びTr4については特に図示しないが、本実施例の作製方法に従って作製することが可能である。また、図3に示した発光装置以外でも、本発明の発光装置は、本実施例で示した作製方法を用いて作製することが可能である。また、駆動部に関しては基本単位であるCMOS回路のTFTを図示することとする。

【0273】まず、図13(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニウムホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200nm(好ましくは50～100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0274】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0275】レーザー結晶化法で結晶質半導体膜を作製

する場合は、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90%として行う。

【0276】なおレーザーは、連続発振またはパルス発振の気体レーザもしくは固体レーザを用いることができる。気体レーザとして、エキシマレーザ、Arレーザ、Krレーザなどがあり、固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンンドライドレーザ、 Nd:YAGレーザなどがある。固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー等も使用可能である。当該レーザーの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0277】非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためにには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用するのが望ましい。具体的には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～10MW/cm²)が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

【0278】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形

成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)、電力密度0.5～0.8W/cm²で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0279】そして、ゲート絶縁膜5007上にゲート電極(ゲート)を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100nmの厚さに形成し、第2の導電膜5009をWで100～300nmの厚さに形成する。

【0280】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20 $\mu\Omega\text{cm}$ 程度であり、Ta電極に使用することが出来るが、 β 相のTa膜の抵抗率は180 $\mu\Omega\text{cm}$ 程度でありゲート電極とするには向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくと α 相のTa膜を容易に得ることが出来る。

【0281】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 $\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999または99.99%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 $\mu\Omega\text{cm}$ を実現することが出来る。

【0282】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングしたポリシリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導

電膜5008を窒化タンタル(Ta_N)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(Ta_N)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(Ta_N)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0283】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0284】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなく、マスクするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016(第1の導電層5011a～5016aと第2の導電層5011b～5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50nm程度エッチングされ薄くなつた領域が形成される。(図13(B))

【0285】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5014がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5024には $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$ の濃度範囲でN型を付与する不純物元素を添加する。(図13(B))

【0286】次に、図13(C)に示すように、レジス

トマスクは除去しないまま、第2のエッティング処理を行う。エッティングガスに CF_4 と Cl_2 と O_2 を用い、W膜を選択的にエッティングする。この時、第2のエッティング処理により第2の形状の導電層 5026～5031

(第1の導電層 5026a～5031aと第2の導電層 5026b～5031b) を形成する。このとき、ゲート絶縁膜 5007においては、第2の形状の導電層 5026～5031で覆われない領域はさらに 20～50nm 程度エッティングされ薄くなった領域が形成される。

【0287】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッティング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WC 1s、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッティングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッティング速度が増大する。一方、TaはFが増大しても相対的にエッティング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化され、Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッティング速度は低下する。従って、W膜とTa膜とのエッティング速度に差を作ることが可能となりW膜のエッティング速度をTa膜よりも大きくすることが可能となる。

【0288】そして、図14 (A) に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を 70～120 keV とし、 $1 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量で行い、図13 (B) で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層 5026～5029を不純物元素に対するマスクとして用い、第1の導電層 5026a～5029aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域 5032～5035が形成される。この第3の不純物領域 5032～5035に添加されたリン (P) の濃度は、第1の導電層 5026a～5029aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層 5026a～5029aのテーパー部と重なる半導体層において、第1の導電層 5026a～5029aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0289】図14 (B) に示すように第3のエッティング処理を行う。エッティングガスに CHF_3 を用い、反応

性イオンエッティング法 (RIE法) を用いて行う。第3のエッティング処理により、第1の導電層 5026a～5031aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層 5037～5042 (第1の導電層 5037a～5042aと第2の導電層 5037b～5042b) を形成する。このとき、ゲート絶縁膜 5007においては、第3の形状の導電層 5037～5042で覆われない領域はさらに 20～50nm 程度エッティングされ薄くなった領域が形成される。

【0290】第3のエッティング処理によって、第3の不純物領域 5032～5035においては、第1の導電層 5037a～5040aと重なる第3の不純物領域 5032a～5035aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域 5032b～5035b とが形成される。

【0291】そして、図14 (C) に示すように、Pチャネル型 TFT を形成する島状半導体層 5004、5006 に第1の導電型とは逆の導電型の第4の不純物領域 5043～5054を形成する。第3の形状の導電層 5038b、5040bを不純物元素に対するマスクとして用い、自己蒸着的に不純物領域を形成する。このとき、Nチャネル型 TFT を形成する島状半導体層 5003、5005および配線部 5041、5042はレジストマスク 5200で全面を被覆しておく。不純物領域 5043～5054に添加されているリンの濃度は均一ではないが、ジボラン (B₂H₆) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{19} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0292】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層 5037～5040がゲート電極として機能する。また、5042は島状の第1走査線として機能する。5041は島状の第3走査線と第3の形状の導電層 5040を接続する配線として機能する。

【0293】レジストマスク 5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアーニール炉を用いる熱アーニール法で行う。その他に、レーザーアーニール法、またはラピッドサーマルアーニール法 (R TA法) を適用することが出来る。熱アーニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400～700°C、代表的には 500～600°C で行うものであり、本実施例では 500°C で 4 時間の熱処理を行う。ただし、第3の形状の導電層 5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。レーザーアーニール法を用いる場合、結晶化の

際に用いたレーザーを使用することが可能である。活性化の場合は、移動速度は結晶化と同じにし、0.01～100MW/cm²程度（好ましくは0.01～10MW/cm²）のエネルギー密度が必要となる。

【0294】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0295】次いで、図15（A）に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線5057～5062をパターニング形成した後、接続配線5062に接する画素電極5064をパターニング形成する。

【0296】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリエチレン、アクリル、BCB（ベンジルシアブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

【0297】コンタクトホールの形成は、ドライエッチングまたはウエットエッティングを用い、N型の不純物領域5017、5018、5021、5022またはP型の不純物領域5043、5048、5049、5054に達するコンタクトホール、配線5042に達するコンタクトホール（図示せず）、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0298】また、配線（接続配線、信号線を含む）5057～5062として、Ti膜を100nm、Ti膜を含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0299】また、本実施例では、画素電極5064としてITO膜を110nmの厚さに形成し、パターニングを行った。画素電極5064を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5064が発光素子の陽極となる。（図15

(A)

【0300】図17に、図15（A）の工程まで終了した時点での、画素の上面図を示す。なお、配線の位置や半導体層の位置を明確にするために、絶縁膜や層間絶縁膜は省略した。図17のA-A'における断面図が、図15（A）のA-A'に示した部分に相当する。また、図17のB-B'における断面図が、図15（A）のB-B'に示した部分に相当する。また、図17のC-C'における断面図を、図16に示す。

【0301】トランジスタTr3は、半導体層5005と、第1走査線Gj（5042）と接続されているゲート電極5039とを有している。半導体層5005が有する不純物領域5021（図17では特に図示せず）は信号線Si（5060）に接続されており、不純物領域5022（図17では特に図示せず）は配線5061に接続されている。

【0302】トランジスタTr4は、半導体層5100と、ゲート電極5101とを有している。半導体層5100が有する2つの不純物領域（図17では特に図示せず）は、一方は配線5102に接続されており、もう一方は信号線Si5060に接続されている。また、ゲート電極5101は配線5107に接続されており、配線5107は第2走査線Rjに接続されている。

【0303】トランジスタTr1は、半導体層5103と、ゲート電極5104とを有している。半導体層5103が有する2つの不純物領域（図17では特に図示せず）は、一方は電源線Vi（5110）に接続されており、もう一方は配線5061に接続されている。また、ゲート電極5104は容量用電極5109に接続されている。

【0304】トランジスタTr2は、半導体層5105と、ゲート電極5106とを有している。半導体層5105が有する2つの不純物領域（図17では特に図示せず）は、一方は電源線Vi（5110）に接続されており、もう一方は配線5062に接続されている。また、ゲート電極5106は容量用電極5109に接続されている。

【0305】トランジスタTr5は、半導体層5006と、ゲート電極5040とを有している。半導体層5006が有する2つの不純物領域（図17では特に図示せず）は、一方は配線5061に接続されており、もう一方は配線5062に接続されている。また、ゲート電極5040は、配線5041を介して第3走査線Rjに接続されている。

【0306】配線5062は画素電極5064に接続されている。

【0307】5108は半導体層に不純物を添加することで形成された容量用の半導体層であり、ゲート絶縁膜5007（図17では特に図示せず）を間に介して容量用電極5109と重なっている。また容量用電極510

が挙げられる。

【0322】なお、実際には図15 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると発光素子の信頼性が向上する。

【0323】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では発光装置という。

【0324】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0325】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成するこ事が可能である。

【0326】本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

【0327】（実施例5）本実施例では、アナログ駆動法で駆動する本発明の発光装置が有する駆動回路（信号線駆動回路及び走査線駆動回路）の構成について説明する。

【0328】図18 (A) に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0329】シフトレジスタ402には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。シフトレジスタ402にクロック信号(CLK)とスタートパルス信号(SP)が入力されると、タイミング信号が生成される。

【0330】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0331】図18 (B) にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0332】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路

404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図18

(B) では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図18 (B) に示したような電流変換回路405が接続されているものとする。

10 【0333】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0334】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流（信号電流）を出力する。なお図18ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0335】該電流走査は、用ひる電流走査回路410が有するリセット回路417に入力される。リセット回路417は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0336】アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413には、インバーター416によって反転されたりセット信号(Res)が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転したりセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0337】そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電圧が信号線に与えられ、信号線がリセットされる。なお、電源415の電圧は、画素に設けられた電源線の電圧とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0338】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0339】なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【0340】次に、走査線駆動回路の構成について説明する。

の一例を示す。なお電流設定回路C2～Cxも同じ構成を有する。

【0360】電流設定回路C1は定電流源631と、4つのトランスマッショングートSW1～SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同じである。

【0361】記憶回路B604が有するLATB_1から出力されたデジタルビデオ信号によって、SW1～SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0362】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IdがSW1及びSW3を介して、信号電流Icとして信号線S1に入力される。

【0363】逆にSW2及びSW4がオンのときは、定電流源631からの電流IdはSW2を介して信号線S1におとされる。またSW4を介して電源線V1～Vxの電源電圧が信号線S1に与えられ、Ic=0となる。

【0364】再び図21を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路(C1～Cx)において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流Icの値が選択される。

【0365】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図22に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0366】なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【0367】本実施例の構成は、実施例1～4と自由に組み合わせて実施することが可能である。

【0368】(実施例7) 本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0369】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adac

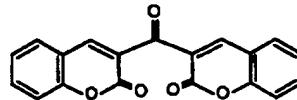
10

hi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)

【0370】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0371】

【化1】

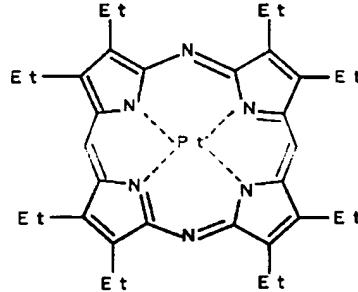


【0372】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shostikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0373】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0374】

【化2】

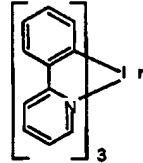


【0375】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Isuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0376】上記の論文により報告された有機発光材料(Tr錯体)の分子式を以下に示す。

【0377】

【化3】



【0378】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの螢光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0379】なお、本実施例の構成は、実施例1～実施例6のいずれの構成とも自由に組み合わせて実施することが可能である。

【0380】(実施例8) 本実施例では、本発明を用い

40

50

て発光装置を作製した例について、図23を用いて説明する。

【0381】図23は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図23(B)は、図23(A)のA-A'における断面図、図23(C)は図23(A)のB-B'における断面図である。

【0382】基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0383】また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、複数のTFTを有している。図23(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれるトランジスタTr5-4202を図示した。

【0384】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、トランジスタTr5-4202には公知の方法で作製されたpチャネル型TFTが用いられる。

【0385】駆動TFT4201及びトランジスタTr5-4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタTr5-4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0386】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0387】有機発光層4204の形成方法は公知の蒸

着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0388】有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0389】以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0390】上記の上は電気的に接続された開口部配線であり、トランジスタTr5-4202のソースに電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0391】シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0392】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0393】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVBl(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0394】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておるために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0395】図23(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005aに接するように導電性膜4203aが形成される。

【0396】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0397】本実施例の構成は、実施例1～実施例7に示した構成と自由に組み合わせて実施することが可能である。

【0398】(実施例9)発光素子に用いられる有機発光材料は低分子系と高分子系に大別される。本発明の発光装置は、低分子系の有機発光材料でも高分子系の有機発光材料でも、どちらでも用いることができる。

【0399】低分子系の有機発光材料は、蒸着法により成膜される。したがって積層構造をとりやすく、ホール輸送層、電子輸送層などの機能が異なる膜を積層することで高効率化しやすい。

【0400】低分子系の有機発光材料としては、キノリノールを配位子としたアルミニウム錯体Alq₃、トリフェニルアミン誘導体(TPD)等が代表的に挙げられる。

【0401】一方、高分子系の有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することができるため、素子の作製が比較的容易である。

【0402】高分子系の有機発光材料を用いた発光素子の構造は、低分子系の有機発光材料を用いたときと基本的には同じであり、陰極／有機発光層／陽極となる。しかし、高分子系の有機発光材料を用いた有機発光層を形成する際には、低分子系の有機発光材料を用いたときのような積層構造を形成させることは難しく、知られている中では2層の積層構造が有名である。具体的には、陰極／発光層／正孔輸送層／陽極という構造である。な

お、高分子系の有機発光材料を用いた発光素子の場合には、陰極材料としてCaを用いることも可能である。

【0403】なお、素子の発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の有機発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が代表的に挙げられる。

【0404】ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン) [PPV] の誘導体、ポリ(2, 5-ジアルコキシ-1, 4-フェニレンビニレン) [RO-PPV]、ポリ(2-(2'-エチル-ヘキソキシ)-5-メトキシ-1, 4-フェニレンビニレン) [MEH-PPV]、ポリ(2-(ジアルコキシフェニル)-1, 4-フェニレンビニレン) [ROPh-PPV] 等が挙げられる。

【0405】ポリパラフェニレン系には、ポリパラフェニレン [PPP] の誘導体、ポリ(2, 5-ジアルコキシ-1, 4-フェニレン) [RO-PPP]、ポリ(2, 5-ジヘキソキシ-1, 4-フェニレン) 等が挙げられる。

【0406】ポリチオフェン系には、ポリチオフェン [PT] の誘導体、ポリ(3-アルキルチオフェン) [PAT]、ポリ(3-ヘキシルチオフェン) [PH-T]、ポリ(3-シクロヘキシルチオフェン) [PCH-T]、ポリ(3-シクロヘキシル-4-メチルチオフェン) [PCHMT]、ポリ(3, 4-ジシクロヘキシルチオフェン) [PDCHT]、ポリ[3-(4-オクチルフェニル)-チオフェン] [POPT]、ポリ[3-(4-オクチルフェニル)-2, 2ビチオフェン] [PTOPT] 等が挙げられる。

【0407】ポリフルオレン系には、ポリフルオレン [PF] の誘導体、ポリ(9, 9-ジアルキルフルオレン) [PDAF]、ポリ(9, 9-ジオクチルフルオレン) [PDOF] 等が挙げられる。

【0408】なお、正孔輸送性の高分子系の有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンドル法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。

【0409】正孔輸送性の高分子系の有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン [PANI] とアクセプター材料としてのポリスチレンスルホン酸 [PSS] の混合物等が挙げられる。

【0410】なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組み合わせて実施するこ

つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの 1 つ) を有している。

【0427】また画素 101 は、トランジスタ T_{r1} 、トランジスタ T_{r2} 、トランジスタ T_{r3} 、トランジスタ T_{r4} 、トランジスタ T_{r5} 、トランジスタ T_{r6} 、発光素子 701 及び保持容量 702 を有している。保持容量 702 はトランジスタ T_{r1} 及び T_{r2} のゲートとソースの間の電圧 (ゲート電圧) をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0428】トランジスタ T_{r3} のゲートは第 1 走査線 G_j に接続されている。そしてトランジスタ T_{r3} のソースとドレインは、一方は信号線 S_i に接続されており、もう一方はトランジスタ T_{r1} のドレインに接続されている。

【0429】トランジスタ T_{r4} のゲートは、第 2 走査線 P_j に接続されている。そしてトランジスタ T_{r4} のソースとドレインは、一方はトランジスタ T_{r1} のドレインに、もう一方はトランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。

【0430】トランジスタ T_{r6} のゲートは、トランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。そしてトランジスタ T_{r6} のソースとドレインは、一方はトランジスタ T_{r1} のドレインに、もう一方はトランジスタ T_{r5} のソースまたはドレインに接続されている。

【0431】トランジスタ T_{r5} のゲートは、第 3 走査線 R_j に接続されている。そしてトランジスタ T_{r5} のソースとドレインは、一方はトランジスタ T_{r2} のドレインに、もう一方はトランジスタ T_{r6} のソースまたはドレインに接続されている。

【0432】トランジスタ T_{r1} とトランジスタ T_{r2} と T_{r6} のゲートは、互いに接続されている。トランジスタ T_{r1} とトランジスタ T_{r2} のソースは、共に電源線 V_i に接続されている。そして、トランジスタ T_{r2} のドレインは、発光素子 701 の画素電極に接続されている。

【0433】保持容量 702 が有する 2 つの電極は、一方はトランジスタ T_{r1} とトランジスタ T_{r2} のゲートに、もう一方は電源線 V_i に接続されている。

【0434】電源線 V_i の電圧 (電源電圧) は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0435】なお、トランジスタ T_{r1} 、 T_{r2} 及び T_{r6} は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ T_{r1} 、 T_{r2} 及び T_{r6} の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} は n チャネル型トランジスタであ

るのが望ましい。

【0436】トランジスタ T_{r3} 、 T_{r4} 、 T_{r5} は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0437】次に、本実施例の発光装置の動作について説明する。図 28 に示した画素を有する発光装置の動作は、図 3 に示した画素の場合と同様に、書き込み期間 T_a と表示期間 T_d とに分けて説明することが可能である。

【0438】また、第 1 ～ 3 走査線に印加される電圧については、図 4 に示したタイミングチャートを参照することができる。また図 29 は、図 28 に示した画素の、書き込み期間 T_a と表示期間 T_d におけるトランジスタ T_{r1} とトランジスタ T_{r2} の接続を、簡単に示した図である。

【0439】書き込み期間 T_a が開始されると、第 1 走査線 G 、第 2 走査線 P が選択される。よって、トランジスタ T_{r3} とトランジスタ T_{r4} がオンになる。なお、第 3 走査線 R は選択されていないので、トランジスタ T_{r5} はオフになっている。

【0440】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0441】図 29 (A) に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。706 は対向電極に電圧を与える電源との接続用の端子を意味している。また、707 は信号線駆動回路 102 が有する定電流源を意味する。

【0442】トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成立する。よって、トランジスタ T_{r1} のゲート電圧 V_{ce} は電流値 I_c によって定まる。

【0443】そしてトランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。したがって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。よって、トランジスタ T_{r2} のドレイン電流は、トランジスタ T_{r1} のドレイン電流に比例する。特に、 $\mu C_w W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_d = I_c$ となる。

【0444】そして、トランジスタ T_{r2} のドレイン電流 I_d は発光素子 704 に流れる。発光素子に流れる電流は、定電流源 707 において定められた信号電流 I_c

に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子 704 は発光する。発光素子に流れる電流が 0 に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子 704 は発光しない。

【0445】書き込み期間 T_a が終了すると、第 1 走査線 G、第 2 走査線 P の選択が終了する。このとき、第 2 走査線 P の選択が、第 1 走査線 G よりも先に終了するの 10 が望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまふと、保持容量 705 の電荷が T_{r4} を通つて漏れてしまうからである。

【0446】書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第 3 走査線 R が選択されトランジスタ T_{r5} がオンになる。なお、第 1 走査線 G 及び第 2 走査線 P は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになつて 20 いる。

【0447】図 29 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは電源線 V_i に接続されており、一定の電圧 (電源電圧) が与えられてい 20

る。

【0448】一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{cs} がそのまま保持されている。さらに、トランジスタ T_{r6} のゲートはトランジスタ T_{r1} 及び T_{r2} のゲートと接続されている。そのため、トランジスタ T_{r1} のドレイン電流とトランジスタ T_{r6} のドレイン電流は同じ大きさに保たれる。そして、式 1 より、トランジスタ T_{r1} のドレイン電流は、トランジスタ T_{r6} のチャネル長及びチャネル幅に左右される。

【0449】トランジスタ T_{r1} と T_{r6} のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式 1 より以下の式 2 が導き出される。なお、式 2 においてトランジスタ T_{r1} のチャネル長を L_1 、 T_{r6} のチャネル長を L_6 、 T_{r1} 及び T_{r6} のドレイン電流を I_d とする。

【0450】

【式 2】 $I_d = I_s \times L_1 / (L_1 + L_6)$

【0451】一方、トランジスタ T_{r2} のドレイン電流 I_d の値は、信号電流 I_c に応じた大きさに維持されたままである。

【0452】そして、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} 及び T_{r6} のドレイン電流 I_d と、トランジスタ T_{r2} のドレイン電流 I_d は、共に発光素子 704 に流れる。よって、ドレイン電流 I_d と、ドレイン電流 I_d を合わせた電流の大きさに見合った輝度で、発光素子 704 は発光する。

【0453】なお、発光素子に流れる電流の大きさに見 50

合った輝度で発光素子 704 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 T_a においても、ドレイン電流 I_d の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。もちろん、書き込み期間 T_a における発光素子に流れる電流の階調への影響を考慮に入れて、信号電流 I_c の大きさを補正するようにしても良い。

【0454】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_d と、ドレイン電流 I_d の和である。よって、発光素子に流れる電流がドレイン電流 I_d のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r2} のドレイン電流 I_d と信号電流 I_c の比が画素間で異なつても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0455】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_{r1} のドレイン電流が発光素子に流れていません。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0456】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT 51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴つて消費電流が大きくなるのを防ぐことができる。

【0457】さらに、本実施例の画素では、図 3、図 5、図 7、図 9、図 10 及び図 11 に示した画素に比べて、書き込み期間におけるトランジスタ T_{r1} のドレイン電流よりも、表示期間における T_{r1} のドレイン電流が小さいため、信号電流 I_c に対する発光素子に流れる電流の比が小さくなる。よって、信号電流 I_c をより大きくすることができるので、雑音の影響を受けにくい。

【0458】なお、本実施例において、トランジスタ T

r 4 のソースとドレインは、一方はトランジスタ Tr 1 のドレインに、もう一方はトランジスタ Tr 1 のゲート及びトランジスタ Tr 2 のゲートに接続されている。しかし本実例はこの構成に限定されない。本発明の画素は、書き込み期間 Ta においてトランジスタ Tr 1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr 1 のゲートとドレインを切り離すことができるよう、トランジスタ Tr 4 が他の素子または配線と接続されれば良い。

【0459】また本実施例において、トランジスタ Tr 5 のソースとドレインは、一方は Tr 1 のドレインに、もう一方は Tr 6 のソースまたはドレインに接続されている。しかし本実例はこの構成に限定されない。本発明の画素は、書き込み期間 Ta においてトランジスタ Tr 1 のドレインと画素電極とを切り離し、表示期間においてトランジスタ Tr 2 のドレインと画素電極とを接続することができるよう、トランジスタ Tr 5 が他の素子または配線と接続されれば良い。例えば、トランジスタ Tr 5 のソースとドレインが、一方は Tr 1 のドレインに、もう一方は Tr 6 のソースまたはドレインに接続されても良い。

【0460】つまり、Tr 3、Tr 4、Tr 5 は、Ta では図 2 (A) のように接続され、Td では図 2 (B) のように接続されれば良い。また、Gj、Pj、Rj は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

【0461】つまり、Ta において Tr 1 を流れる電流は全て電流源で制御されれば良い。Td においては Tr 1 と Tr 2 を流れる電流は発光素子に流れれば良い。

【0462】なお、本実施例の構成は、実施例 4～実施例 10 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0463】(実施例 12) 本実施例では、図 2 に示した発光装置が有する画素 101 の構成について説明する。

【0464】図 3 に、図 2 で示した画素 101 の詳しい構成を示す。図 3 に示す画素 101 は、信号線 Si (S1～Sx のうちの 1 つ)、第 1 走査線 Gj (G1～Gy のうちの 1 つ)、第 2 走査線 Pj (P1～Py のうちの 1 つ)、第 3 走査線 Rj (R1～Ry のうちの 1 つ) 及び電源線 Vi (V1～Vx のうちの 1 つ) を有している。

【0465】また画素 101 は、トランジスタ Tr 1、トランジスタ Tr 2、トランジスタ Tr 3、トランジスタ Tr 4、トランジスタ Tr 5、発光素子 730 及び保持容量 731 を有している。保持容量 731 はトランジスタ Tr 1 及び Tr 2 のゲートとソースの間の電圧 (ゲート電圧) をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0466】トランジスタ Tr 3 のゲートは第 1 走査線 Gj に接続されている。そしてトランジスタ Tr 3 のソースとドレインは、一方は信号線 Si に接続されており、もう一方はトランジスタ Tr 1 のドレインに接続されている。

【0467】トランジスタ Tr 4 のゲートは、第 2 走査線 Pj に接続されている。そしてトランジスタ Tr 4 のソースとドレインは、一方はトランジスタ Tr 1 のドレインに、もう一方はトランジスタ Tr 1 及び Tr 2 のゲートに接続されている。

【0468】トランジスタ Tr 5 のゲートは、第 3 走査線 Rj に接続されている。そしてトランジスタ Tr 5 のソースとドレインは、一方はトランジスタ Tr 2 のドレイン及び電源線 Vi に、もう一方はトランジスタ Tr 1 のドレインに接続されている。

【0469】トランジスタ Tr 1 とトランジスタ Tr 2 のゲートは、互いに接続されている。トランジスタ Tr 1 とトランジスタ Tr 2 のソースは、共に発光素子 730 の画素電極に接続されている。

【0470】保持容量 731 が有する 2 つの電極は、一方はトランジスタ Tr 1 とトランジスタ Tr 2 のゲートに、もう一方は発光素子 730 の画素電極に接続されている。

【0471】電源線 Vi の電圧 (電源電圧) は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0472】なお、トランジスタ Tr 1 及び Tr 2 は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr 1 及び Tr 2 の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr 1 及び Tr 2 は n チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr 1 及び Tr 2 は p チャネル型トランジスタであるのが望ましい。

【0473】トランジスタ Tr 3、Tr 4、Tr 5 は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0474】図 3 に示した画素を有する発光装置の動作は、図 3 に示した画素の場合と同様に、書き込み期間 Ta と表示期間 Td とに分けて説明することができる。また、第 1～3 走査線に印加される電圧については、図 4 に示したタイミングチャートを参照することができる。また図 3 は、図 3 に示した画素の、書き込み期間 Ta と表示期間 Td におけるトランジスタ Tr 1 とトランジスタ Tr 2 の接続を、簡単に示した図である。

【0475】書き込み期間 Ta が開始されると、第 1 走査線 G、第 2 走査線 P が選択される。よって、トランジスタ Tr 3 とトランジスタ Tr 4 がオンになる。なお、

合った輝度で発光素子730が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。

【0491】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流I_dと、ドレイン電流I_dの和である。よって、発光素子に流れる電流がドレイン電流I_dのみに依存していない。そのため、トランジスタTr1とトランジスタTr2の特性がズレて、トランジスタTr2のドレイン電流I_dと信号電流I_cの比が画素間で異なっても、発光素子に流れる電流の値が10画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0492】また、本発明の画素では、書き込み期間TaにおいてトランジスタTr1のドレイン電流は発光素子に流れていらない。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0493】また、従来と同様に、電圧入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0494】なお、本実施例において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間においてトランジスタTr1のゲートとドレインを切り離すことができるよう、トランジスタTr4が他の素子または配線と接続されれば良い。

【0495】また本実施例において、トランジスタTr5のソースとドレインは、一方はTr2のドレインに、もう一方はTr3のソースまたはドレインに接続されている。しかし本実例はこの構成に限定されない。

【0496】つまり、Tr3、Tr4、Tr5は、Taでは図31(A)のように接続され、Tdでは図31(B)のように接続されれば良い。また、Gj、P50

j、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0497】つまり、TaにおいてTr1を流れる電流は全て電流源で制御されれば良い。TdにおいてはTr1とTr2を流れる電流は発光素子に流れれば良い。

【0498】なお、本実施例の構成は、実施例4～実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0499】(実施例13) 本実施例では、図2に示した発光装置が有する画素101の構成について説明する。

【0500】図32に、図2で示した画素101の詳しい構成を示す。図32に示す画素101は、信号線Si(S1～Sxのうちの1つ)、第1走査線Gj(G1～Gyのうちの1つ)、第2走査線Pj(P1～Pyのうちの1つ)、第3走査線Rj(R1～Ryのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0501】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、トランジスタTr6、発光素子761及び配線等で構成される。電極容量761はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0502】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0503】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0504】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr2のドレイン及び電源線Viに、もう一方はトランジスタTr6のソースまたはドレインに接続されている。

【0505】トランジスタTr6のゲートは、トランジスタTr1及びTr2のゲートに接続されている。そしてトランジスタTr6のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr5のソースまたはドレインに接続されている。

【0506】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に発光素子760の画素電極に接続されている。

【0507】保持容量761が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は発光素子760の画素電極に接続されている。

【0508】電源線Viの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0509】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。

【0510】トランジスタTr3、Tr4、Tr5、Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0511】図32に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。また、竿上～3走査線に印加される信号については、図4に示したタイミングチャートを参照することができる。また図33は、図32に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0512】書き込み期間Taが開始されると、第1走査線G、第2走査線Pが選択される。よって、トランジスタTr3とトランジスタTr4がオンになる。なお、第3走査線Rは選択されていないので、トランジスタTr5はオフになっている。

【0513】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0514】図33（A）に、書き込み期間Taにおいて、信号線Siにビデオ信号に応じた信号電流Icが流れた場合の、画素101の概略図を示す。766は対向電極に電圧を与える電源との接続用の端子を意味している。また、765は信号線駆動回路102が有する定電流源を意味する。

【0515】トランジスタTr3はオンの状態にあるので、信号線Siにビデオ信号に応じた信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0516】そしてトランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。よって、トランジスタTr2のドレン電流は、トランジスタTr1のドレン電流に比例する。特に、 $\mu C_w W/L$ 及び V_{th} が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレン電流は互いに等しくなり、 $I_d = I_c$ となる。

【0517】そして、トランジスタTr2のドレン電流 I_d は発光素子760に流れる。発光素子に流れる電流は、定電流源765において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子760は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子760は発光しない。

【0518】書き込み期間Taが終了すると、第1走査線G、第2走査線Pの選択が終了する。このとき、第2走査線Pの選択が、第1走査線Gよりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、第2走査線Pが選択され、トランジスタTr5がオフになって漏れてしまうからである。

【0519】書き込み期間Taが終了すると、次に表示期間Tdが開始される。表示期間Tdが開始されると、第3走査線Rが選択されトランジスタTr5がオンになる。なお、第1走査線G及び第2走査線Pは選択されていないので、トランジスタTr3及びTr4はオフになっている。

【0520】図33（B）に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のソースは発光素子760の画素電極に接続されている。

【0521】一方トランジスタTr1、Tr2においては、書き込み期間Taにおいて定められた V_{gs} がそのまま保持されている。さらに、トランジスタTr6のゲートはトランジスタTr1及びTr2のゲートと接続されている。そのため、トランジスタTr1のドレン電流とトランジスタTr6のドレン電流は同じ大きさに保たれる。そして、式1より、トランジスタTr1のドレン電流は、トランジスタTr6のチャネル長及びチャネル幅に左右される。

【0522】上述したように、トランジスタTr1とTr6のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式1より式2が導き出される。

【0523】一方、トランジスタTr2のドレン電流 I_d の値は、信号電流 I_c に応じた大きさに維持された

ままである。

【0524】そして、トランジスタTr5がオンなので、トランジスタTr1及びTr6のドレン電流I₁と、トランジスタTr2のドレン電流I₂は、共に発光素子760に流れる。よって、ドレン電流I₁と、ドレン電流I₂を合わせた電流の大きさに見合った輝度で、発光素子760は発光する。

【0525】そして1ライン目の画素において表示期間Tdが開始されると、次に2ライン目の画素において表示期間Tdが開始される。そして1ライン目の画素と同様に、第3走査線R2が選択され、トランジスタTr5、Tr6がオンになる。なお、第1走査線G2及び第2走査線P2は選択されていないので、トランジスタTr3及びTr4はオフになっている。よって、ドレン電流I₁と、ドレン電流I₂を合わせた電流の大きさに見合った輝度で、発光素子760は発光する。

【0526】そして、2ライン目の画素において表示期間Tdが開始されると、3ライン目からyライン目の画素まで順に表示期間Tdが開始され、上述した動作が繰り返される。

【0527】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの動作が実行される。そこで、次のフレーム期間が開始され、再び書き込み期間Taが開始されて、上述した動作が繰り返される。

【0528】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子760が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。

【0529】本発明の画素では、表示期間において発光素子に流れる電流はドレン電流I₁と、ドレン電流I₂の和である。よって、発光素子に流れる電流がドレン電流I₁のみに依存していない。そのため、トランジスタTr1とトランジスタTr2の特性がずれて、トランジスタTr2のドレン電流I₂と信号電流I_cの比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0530】また、本発明の画素では、書き込み期間TaにおいてトランジスタTr1のドレン電流は発光素子に流れていません。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0531】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が

画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0532】さらに、本実施例の画素では、図2、図5、図7、図9、図10及び図11に示した画素に比べて、書き込み期間におけるトランジスタTr1のドレン電流よりも、表示期間におけるTr1のドレン電流が小さいため、信号電流I_cに対する発光素子に流れる電流の比が小さくなる。よって、信号電流I_cをより大きくすることができるので、雑音の影響を受けにくい。

【0533】なお、本実施例において、トランジスタTr4のソースとドレンは、一方はトランジスタTr1のドレンに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレンを切り離すことができるよう、トランジスタTr4が他の素子または配線と接続されていれば良い。

【0534】また本実施例において、トランジスタTr5のソースとドレンは、一方はTr2のドレンに、もう一方はTr6のソースまたはドレンに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr2のドレンと画素電極を切り離し、表示期間においてトランジスタTr2のドレンと電源線Viとを接続することができるように、トランジスタTr5が他の素子または配線と接続されていれば良い。

【0535】つまり、Tr3、Tr4、Tr5、Tr6は、Taでは図31(A)のように接続され、Tdでは図31(B)のように接続されていれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0536】つまり、TaにおいてTr1を流れる電流は全て電流源で制御されれば良い。TdにおいてはTr1とTr2を流れる電流は発光素子に流れれば良い。

【0537】なお、本実施例の構成は、実施例4～実施例12のいずれの構成とも自由に組み合わせて実施することが可能である。

【0538】(実施例14) 本実施例では、図2に示した発光装置が有する画素101の構成について説明する。

【0539】図34に、図2で示した画素101の詳しい構成を示す。図34に示す画素101は、信号線S_i(S1～Sxのうちの1つ)、第1走査線G_j(G1～Gyのうちの1つ)、第2走査線P_j(P1～Pyのうちの1つ)、第3走査線R_j(R1～Ryのうちの1つ)及び電源線V_i(V1～Vxのうちの1つ)を有している。

【0540】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子780及び保持容量781を有している。保持容量781はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0541】トランジスタTr3のゲートは第1走査線G_jに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線S_iに接続されており、もう一方はトランジスタTr1のソースに接続されている。

【0542】トランジスタTr4のゲートは、第2走査線P_jに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0543】トランジスタTr5のゲートは、第3走査線R_jに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr2のソース及び発光素子780の画素電極に、もう一方はトランジスタTr1のソースに接続されている。

【0544】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr2のソースは、発光素子780の画素電極に接続されている。トランジスタTr1とトランジスタTr2のドレインは、共に電源線V_iに接続されている。

【0545】保持容量781が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方はTr1のソースの画素電極に接続されている。

【0546】電源線V_iの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0547】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。

【0548】トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0549】図34に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図35は、図34に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0550】書き込み期間Taが開始されると、第1走査線G、第2走査線Pが選択される。よって、トランジスタTr3とトランジスタTr4がオンになる。なお、第3走査線Rは選択されていないので、トランジスタTr5はオフになっている。

【0551】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0552】図35(A)に、書き込み期間Taにおいて、信号線S_iにビデオ信号に応じた信号電流I_cが流れた場合の、画素101の概略図を示す。786は対向電極に電圧を与える電源との接続用の端子を意味している。また、787は信号線駆動回路102が有する定電流源を意味する。

【0553】トランジスタTr3はオンの状態にあるので、信号線S_iにビデオ信号に応じた信号電流I_cが流れると、信号電流I_cはトランジスタTr1のドレインとソースの間に流れ。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成立する。よって、トランジスタTr1のゲート電圧V_{ce}は電流値I_cによって定まる。

【0554】そしてトランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。

【0555】書き込み期間Taが終了すると、第1走査線G、第2走査線Pの選択が終了する。このとき、第2走査線Pの選択が、第1走査線Gよりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、保持容量781の電荷がTr4を通って漏れてしまうからである。

【0556】書き込み期間Taが終了すると、次に表示期間Tdが開始される。表示期間Tdが開始されると、第3走査線Rが選択されトランジスタTr5がオンになる。なお、第1走査線G及び第2走査線Pは選択されていないので、トランジスタTr3及びTr4はオフになっている。

【0557】図35(B)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジ

タ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは発光素子 780 の画素電極に接続されている。

【0558】一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_c がそのまま保持されている。そして、トランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。よって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。さらに、トランジスタ T_{r1} のドレン及びトランジスタ T_{r2} のドレンは電源線 V_i に接続されているので、トランジスタ T_{r2} のドレン電流 I_{d2} は、トランジスタ T_{r1} のドレン電流 I_{d1} に比例する大きさになる。特に、 $\mu C_o W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレン電流は互いに等しくなり、 $I_{d2} = I_{d1} = I_c$ となる。

【0559】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレン電流 I_{d1} と、トランジスタ T_{r2} のドレン電流 I_{d2} は、共に発光素子に流れる電流として発光素子 780 に流れる。よって、表示期間 T_d では、ドレン電流 I_{d1} と、ドレン電流 I_{d2} を合わせた大きさの電流が発光素子 780 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 780 が発光する。

【0560】そして 1 ライン目の画素において表示期間 T_d が開始されると、次に 2 ライン目の画素において表示期間 T_d が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 R_2 が選択され、トランジスタ T_{r5} がオンになる。なお、第 1 走査線 G_2 及び第 2 走査線 P_2 は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。よって、ドレン電流 I_{d1} と、ドレン電流 I_{d2} を合わせた電流の大きさに見合った輝度で、発光素子 780 は発光する。

【0561】そして、2 ライン目の画素において表示期間 T_d が開始されると、3 ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0562】書き込み期間 T_a と、表示期間 T_d が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始され、上述した動作が繰り返される。

【0563】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 780 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 T_a においても、 T_{r2} のドレン電流の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは

無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。

【0564】本発明の画素では、表示期間において発光素子に流れる電流はドレン電流 I_{d1} と、ドレン電流 I_{d2} の和である。よって、発光素子に流れる電流がドレン電流 I_{d1} のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r2} のドレン電流 I_{d2} と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0565】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_{r1} のドレン電流は発光素子に流れていらない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0566】また、従来と同様に、電圧入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT 51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0567】なお、本実施例において、トランジスタ T_{r4} のソースとドレンは、一方はトランジスタ T_{r1} のドレンに、もう一方はトランジスタ T_{r1} のゲート及びトランジスタ T_{r2} のゲートに接続されている。しかし本実例はこの構成に限定されない。本発明の画素は、書き込み期間 T_a においてトランジスタ T_{r1} のゲートとドレンを接続し、表示期間においてトランジスタ T_{r1} のゲートとドレンを切り離すことができるよう、トランジスタ T_{r4} が他の素子または配線と接続されていれば良い。

【0568】また本実施例において、トランジスタ T_{r5} のソースとドレンは、一方は T_{r2} のソースに、もう一方は T_{r1} のソースに接続されている。しかし本実例はこの構成に限定されない。本発明の画素は、書き込み期間 T_a においてトランジスタ T_{r1} のソースと画素電極とを切り離し、表示期間においてトランジスタ T_{r5}

1のソースと画素電極とを接続することができるよう
に、トランジスタTr5が他の素子または配線と接続さ
れていれば良い。

【0569】つまり、Tr3、Tr4、Tr5は、Ta
では図35(A)のように接続され、Tdでは図35
(B)のように接続されていれば良い。また、Gj、P
j、Rjは3本が別の配線となっているが、まとめて1
本や2本にしても良い。

【0570】つまり、TaにおいてTr1を流れる電流
は全て電流源で制御されていれば良い。Tdにおいては
Tr1とTr2を流れる電流は発光素子に流れれば良
い。

【0571】また、発光素子の画素電極をTr2のソ
ースに接続するのではなく、Tr1のソースに接続するよ
うにしても良い。ただしこの場合、Tr1のソースと画
素電極とが書き込み期間において切り離され、表示期間
において接続されるように、接続を制御する別途トラン
ジスタを用意する必要がある。なおこのTr1のソース
と画素電極の接続を制御するトランジスタを、Tr5と
異なる極性とし、互いのゲートを接続するようにしても
良い。

【0572】なお、本実施例の構成は、実施例4～実施
例13のいずれの構成とも自由に組み合わせて実施する
ことが可能である。

【0573】

【発明の効果】本発明の第1の構成の画素では、表示期
間において発光素子に流れる電流はドレイン電流I
と、ドレイン電流I₁の和である。よって、発光素子に
流れる電流がドレイン電流I₁のみに依存していない。
そのため、トランジスタTr1とトランジスタTr2の
特性がずれて、トランジスタTr1のドレイン電流I₁
に対するトランジスタTr2のドレイン電流I₁の比が
画素間で異なっても、発光素子に流れる電流の値が画素
間でずれるのを抑え、輝度のばらつきが認認されるのを
防ぐことができる。

【0574】本発明の第2の構成の画素では、図27
(A)に示した画素のように、第1の手段と第2の手段
のいずれか一方の手段の特性がずれることにより、2つ
の手段における特性のバランスが崩れ、駆動部から発光
素子に供給される電流I₁の大きさが所望の値に保たれ
なくなることがある。しかし、2つの変換部A、Bを共
に用いることで変換された電圧を平均化するこ
とで、そして駆動部から発光素子に供給される電流I₁は
該平均化された電圧に応じた大きさであるので、特性の
ずれに起因する発光素子に供給される電流量のばらつき
を、図27(A)に示した画素に比べ約半分程度に抑え
ることができる。よって、画素間の輝度のばらつきを抑
えることができる。また、画素に供給された電流は、電
流I₁よりも大きい。そのため、電流を書き込む時間
を短くすることができる。

【0575】また、本発明の画素では、書き込み期間Ta
においてトランジスタTr1のドレイン電流は発光素
子に流れていらない。よって信号線駆動回路によって画素
に電流が供給され、トランジスタTr1のドレイン電流
が流れることでゲート電圧が変化はじめてから、その
値が安定するまでの時間は、発光素子の容量に左右され
ない。したがって、従来の画素と比べて、供給された電
流から変換される電圧が早く安定するので、電流を書き
込む時間を短くすることができ、動画表示において残像
が視認されてしまうのを防ぐことができる。

【0576】また、従来と同様に、電流入力型の発光装
置の利点も兼ね備えている。すなわち、TFTの特性が
画素毎にばらついていても、電圧入力型の発光装置に比
べて画素間で発光素子の輝度にばらつきが生じるのを防
ぐことができる。また、図25に示した電圧入力型の画
素のTFT51を線形領域で動作させたときに比べて、
発光素子の劣化による輝度の低下を抑えることができ
る。また、有機発光層の温度が外気温や発光パネル自身
が発する熱等に左右されても、発光素子の輝度が変化す
るのを抑えることができ、また温度の上昇に伴って消費
電流が大きくなるのを防ぐことができる。

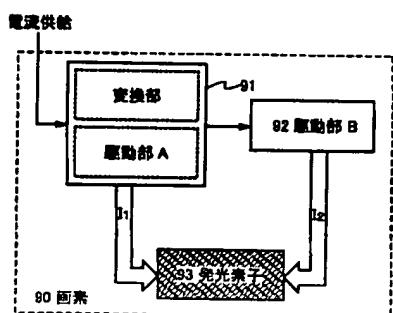
【図面の簡単な説明】

- 【図1】 本願の電流入力型の画素のブロック図。
- 【図2】 本発明の発光装置の上面図(カット面)。
- 【図3】 本発明の発光装置の画素の回路図。
- 【図4】 走査線に入力される信号のタイミングチャ
ート。
- 【図5】 駆動における画素の概略図。
- 【図6】 本発明の発光装置の画素の回路図。
- 【図7】 駆動における画素の概略図。
- 【図8】 本発明の発光装置の画素の回路図。
- 【図9】 駆動における画素の概略図。
- 【図10】 本発明の発光装置の画素の回路図。
- 【図11】 本発明の発光装置の画素の回路図。
- 【図12】 本発明の発光装置の画素の回路図。
- 【図13】 本発明の発光装置の作製方法を示す図。
- 【図14】 本発明の発光装置の作製方法を示す図。
- 【図15】 本発明の発光装置の作製方法を示す図。
- 【図16】 本発明の発光装置の作製方法を示す図。
- 【図17】 本発明の発光装置の画素の上面図。
- 【図18】 アナログ駆動法における信号線駆動回路の
詳細図。
- 【図19】 走査線駆動回路のブロック図。
- 【図20】 デジタル駆動法における信号線駆動回路の
ブロック図。
- 【図21】 デジタル駆動法における信号線駆動回路の
詳細図。
- 【図22】 デジタル駆動法における電流設定回路の回
路図。
- 【図23】 本発明の発光装置の外観図及び断面図。

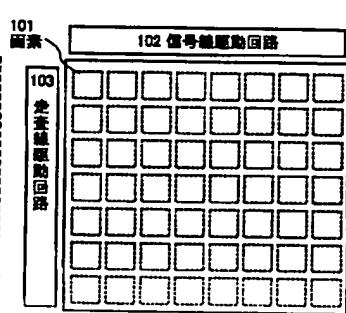
60

【図 2 4】	本発明の発光装置を用いた電子機器の図。	【図 3 2】	本発明の発光装置の画素の回路図。
【図 2 5】	電圧入力型の画素の回路図。	【図 3 3】	駆動における画素の概略図。
【図 2 6】	従来の電流入力型の画素の回路図。	【図 3 4】	本発明の発光装置の画素の回路図。
【図 2 7】	従来の電流入力型の画素のブロック図。	【図 3 5】	駆動における画素の概略図。
【図 2 8】	本発明の発光装置の画素の回路図。	【図 3 6】	本願の電流入力型の画素のブロック図。
【図 2 9】	駆動における画素の概略図。	【図 3 7】	駆動における画素の概略図。
【図 3 0】	本発明の発光装置の画素の回路図。	【図 3 8】	駆動における画素の概略図。
【図 3 1】	駆動における画素の概略図。		

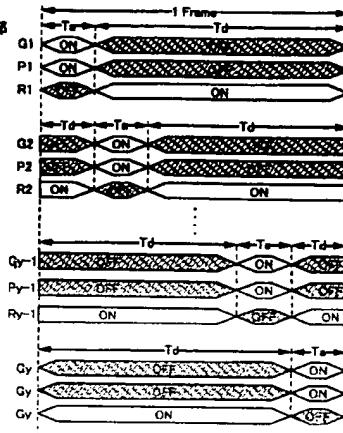
【図 1】



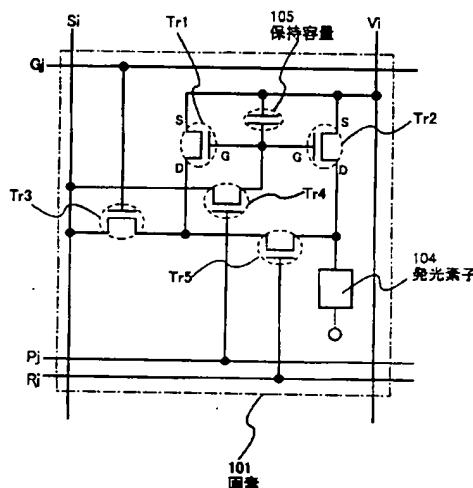
【图2】



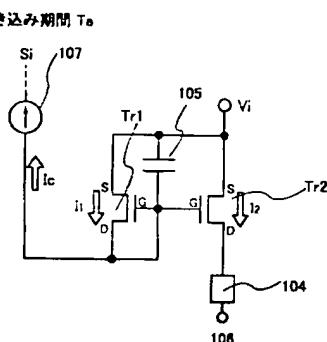
[图4]



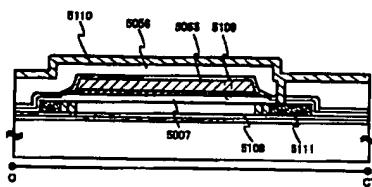
[图31]



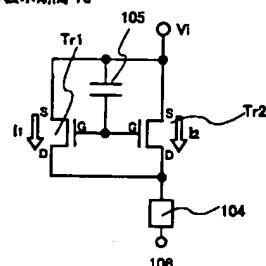
(图 5)



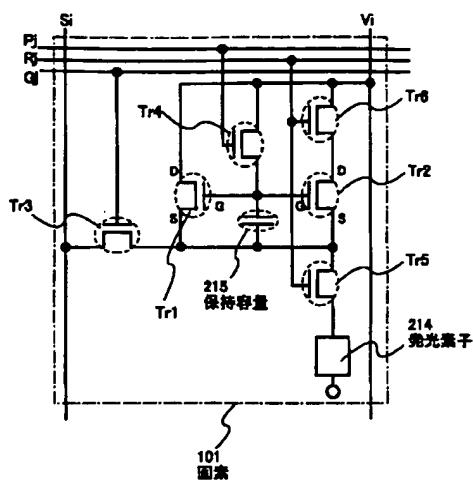
[图 1.6]



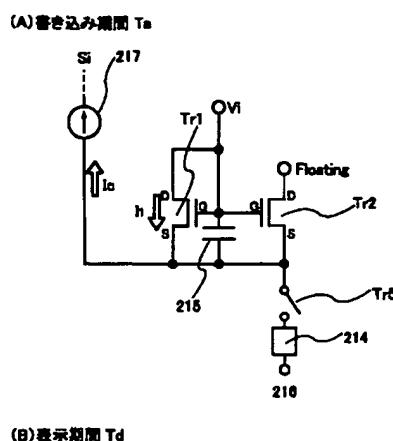
(B) 表示期間 T_d



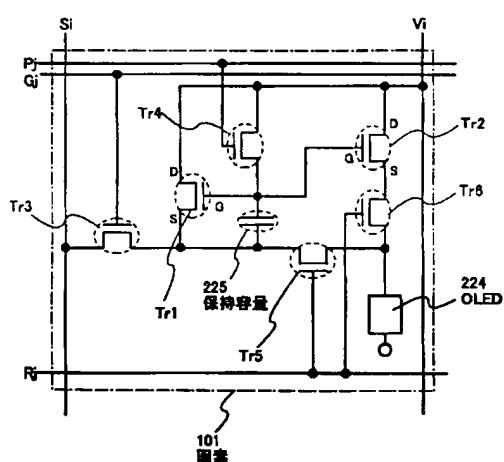
【図6】



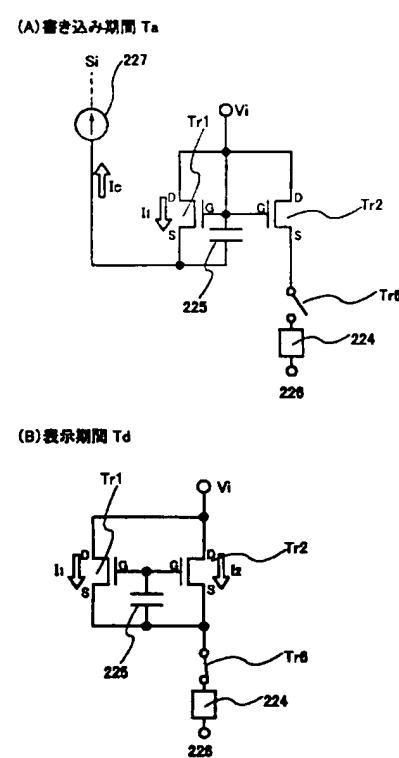
【図7】



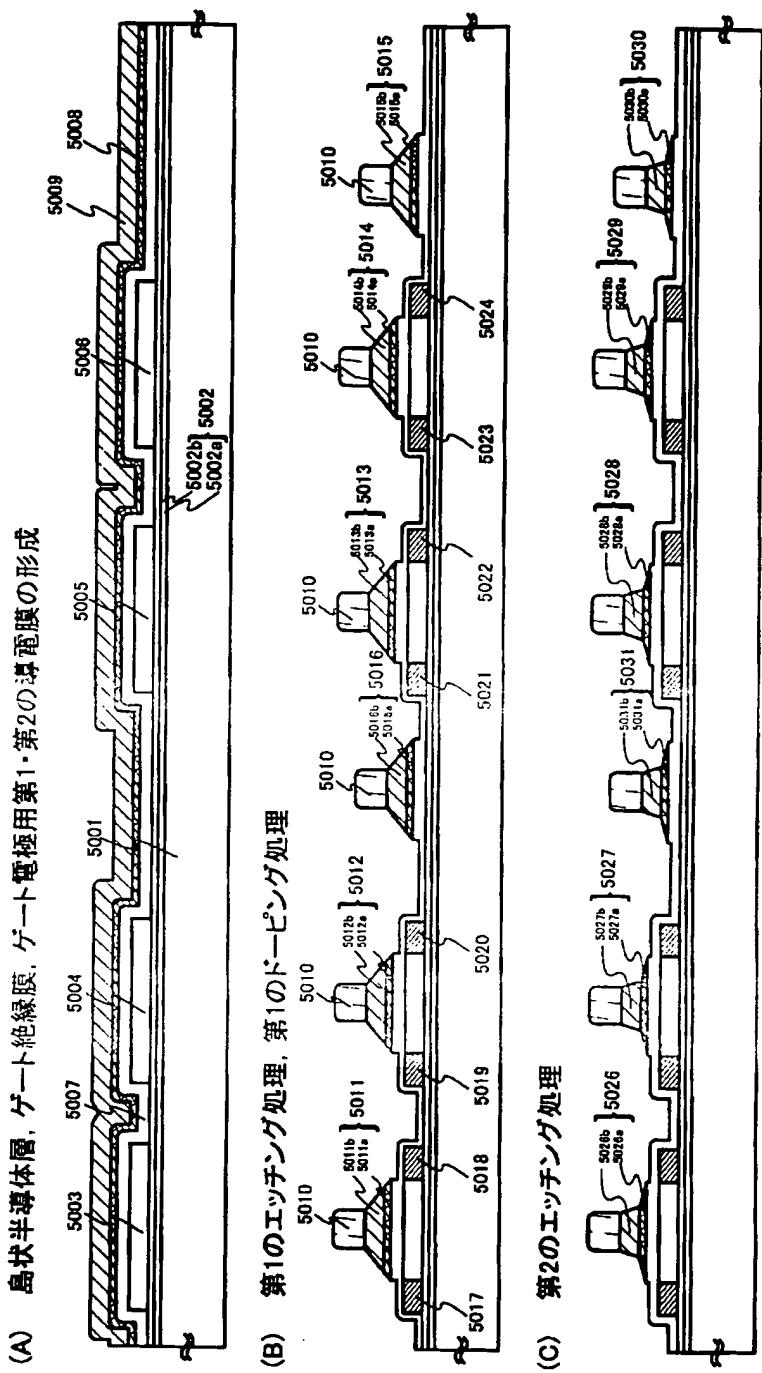
【図8】



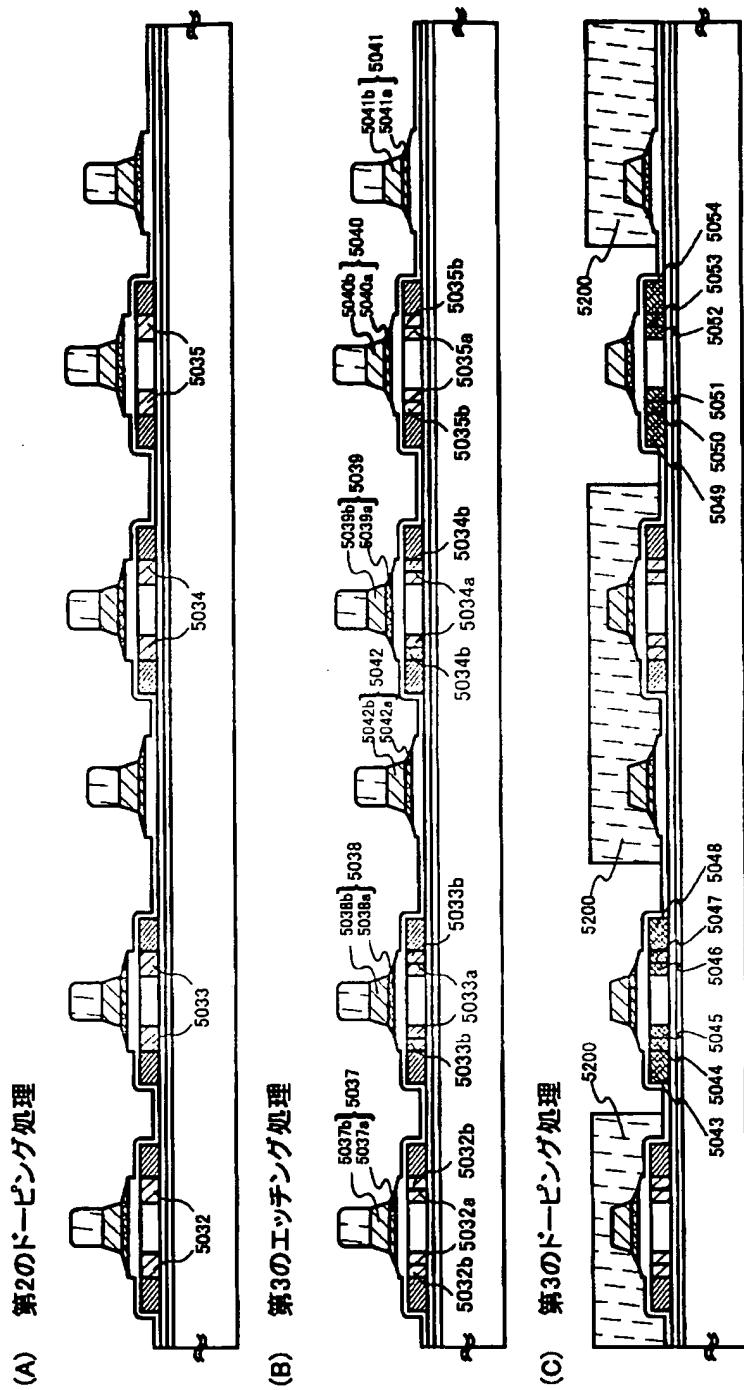
【図9】



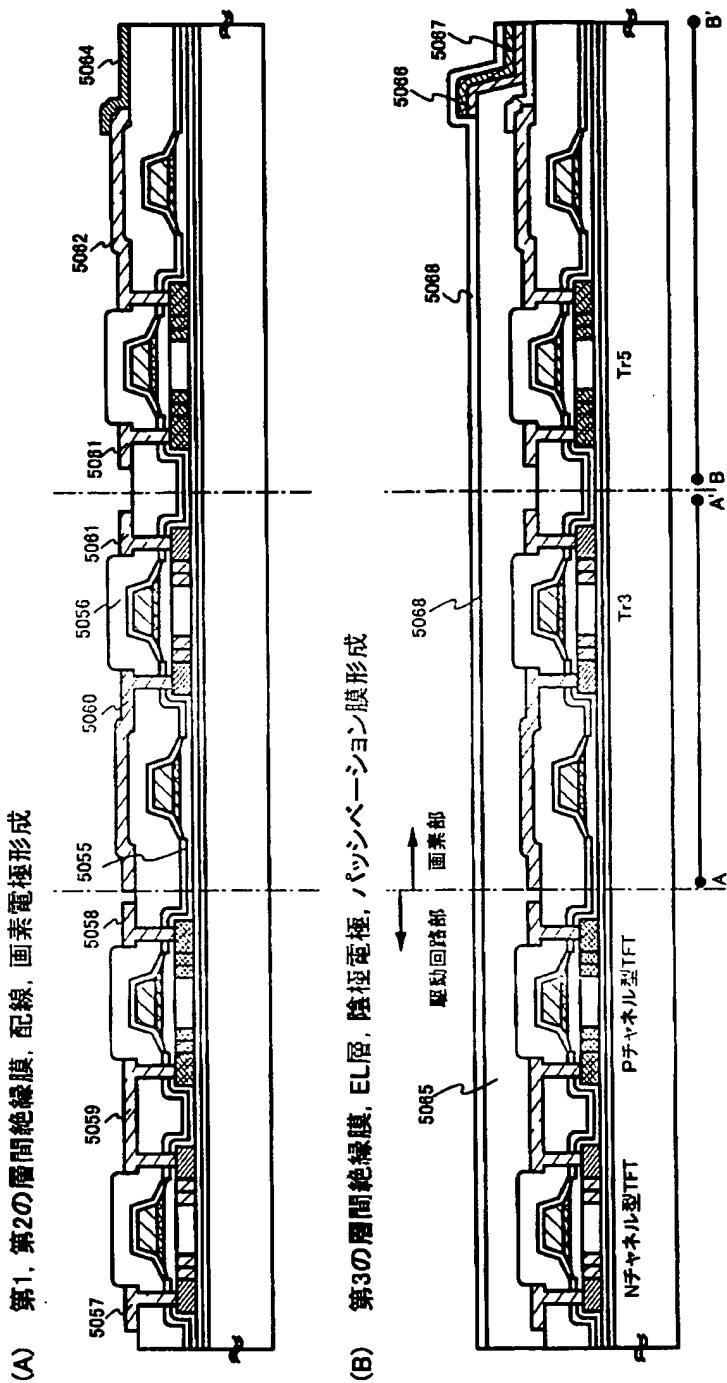
【図13】



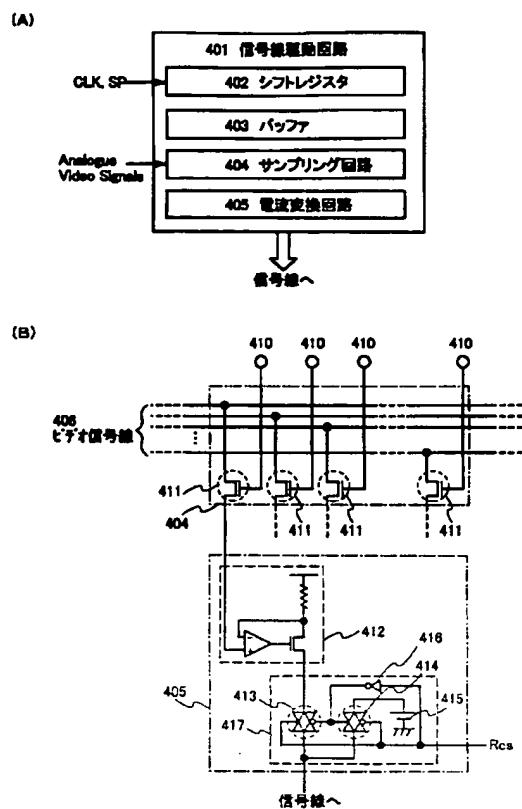
【図14】



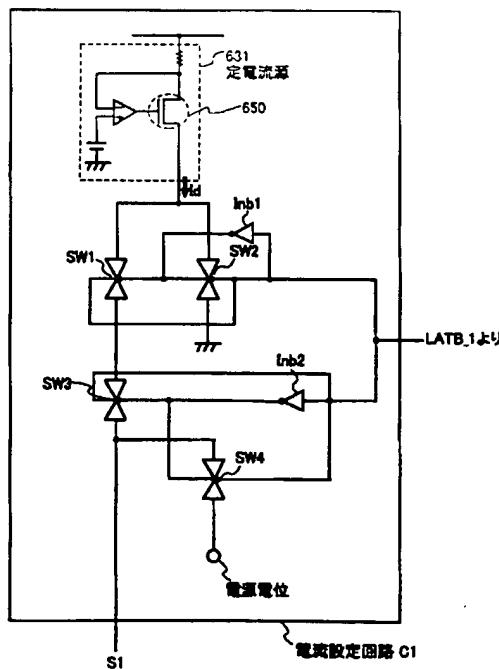
【図15】



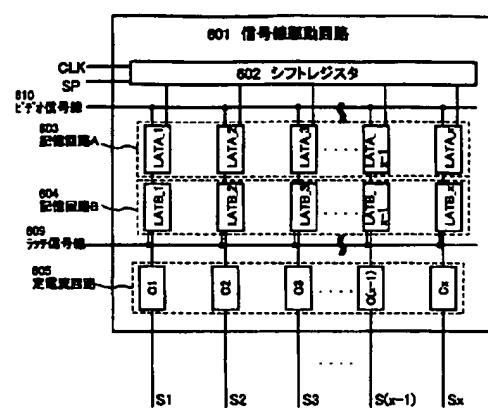
【図18】



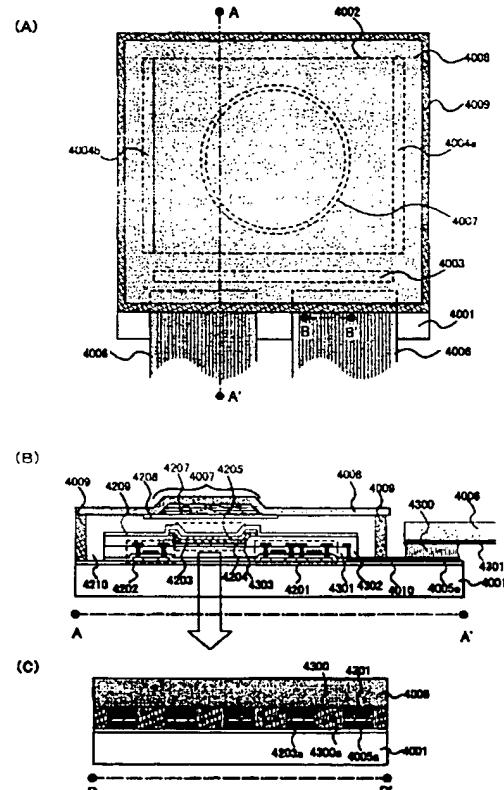
【図22】



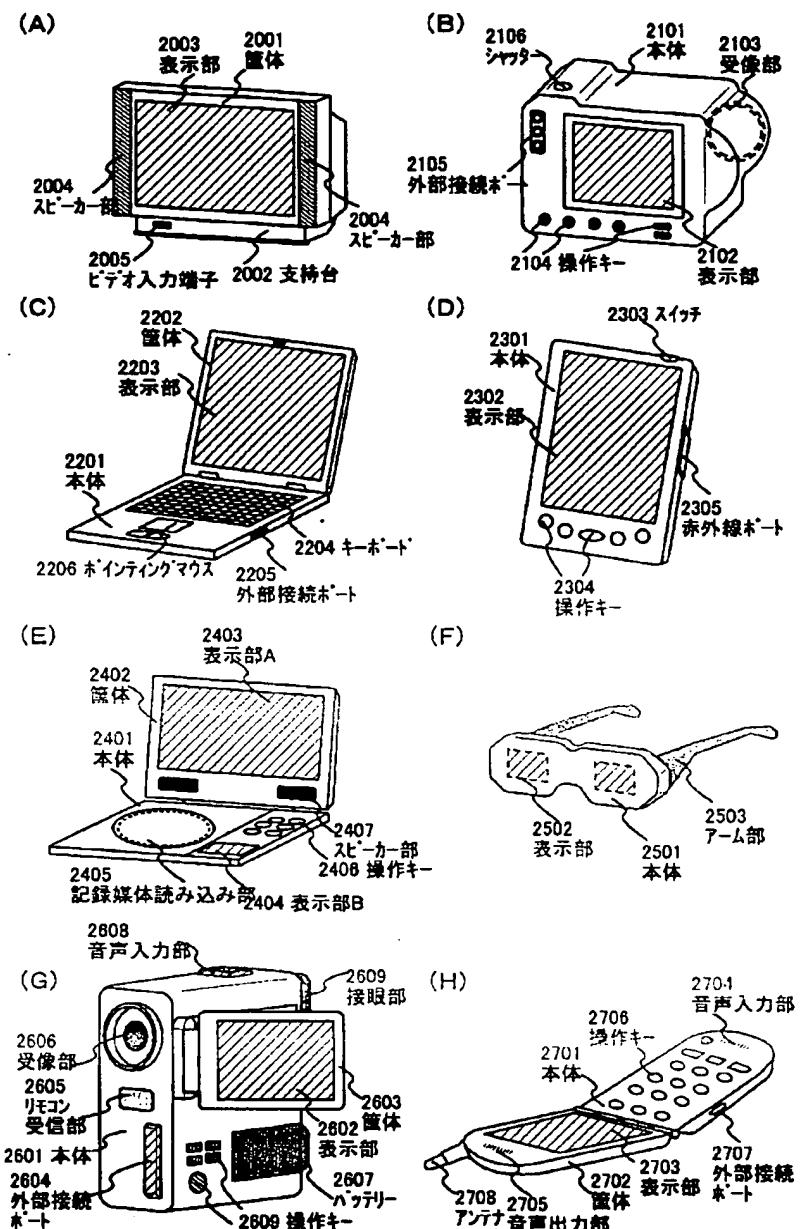
【図21】



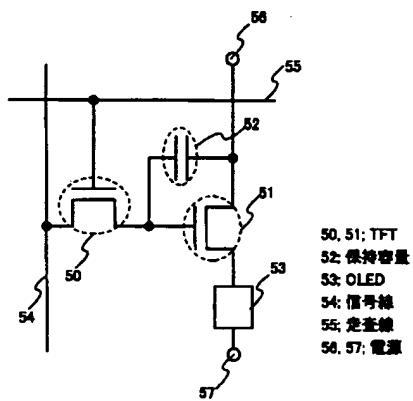
【図23】



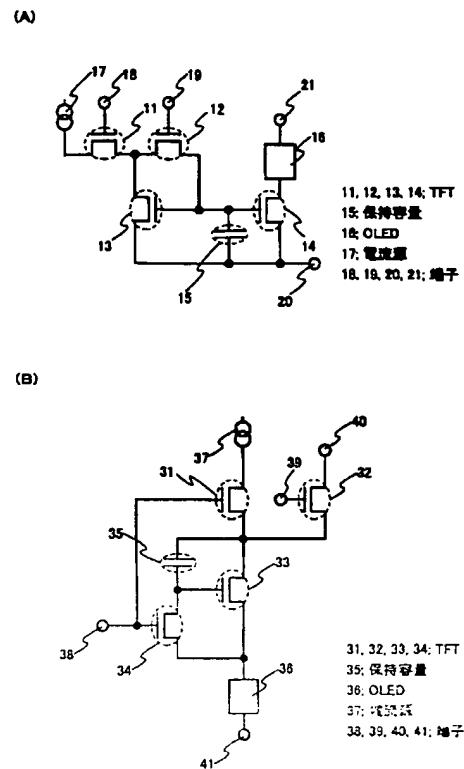
【図24】



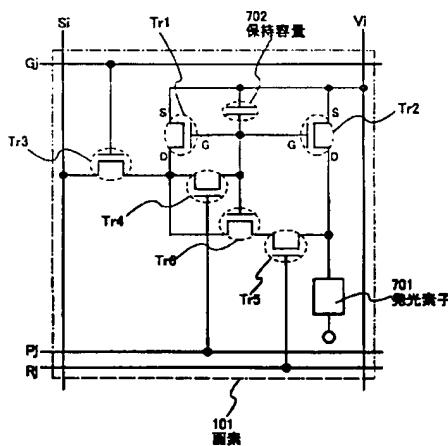
【図 25】



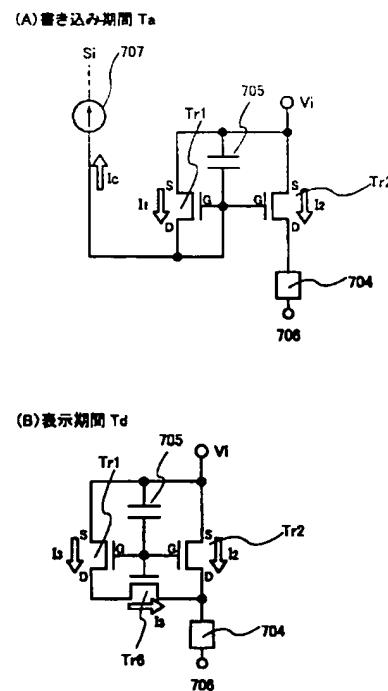
【図 26】



【図 28】

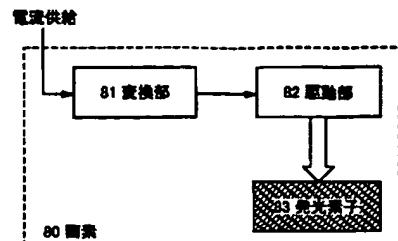


【図 29】

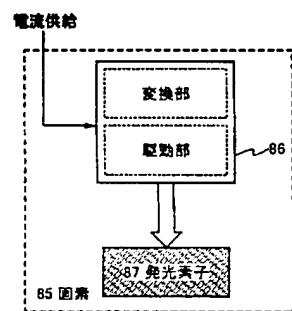


【図 27】

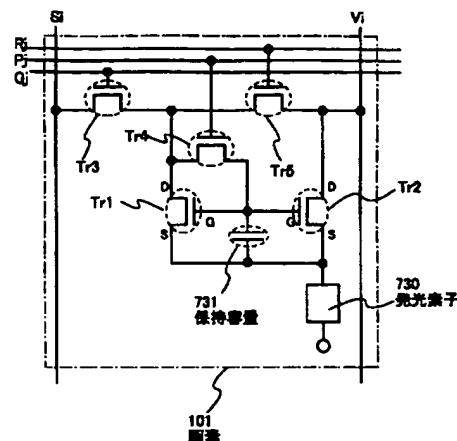
(A)



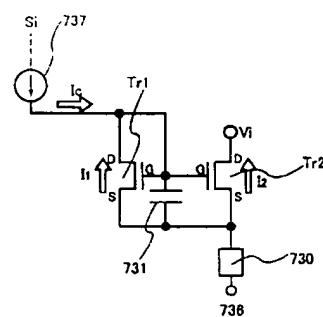
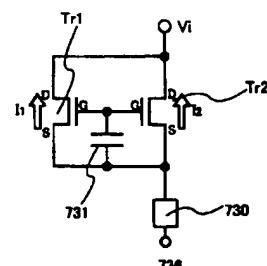
(B)



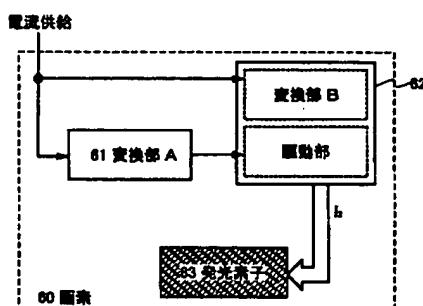
【図 30】



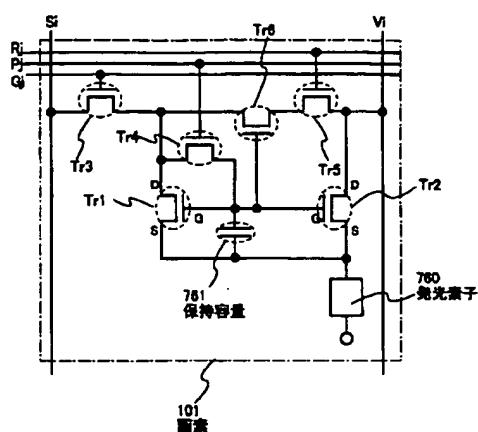
【図 31】

(A)書き込み期間 T_a (B)表示期間 T_d 

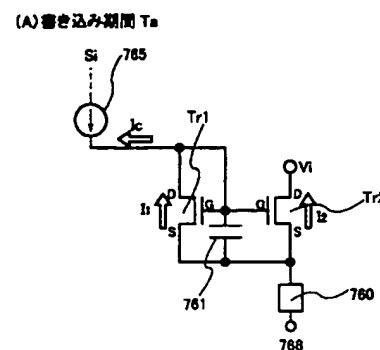
【図 36】



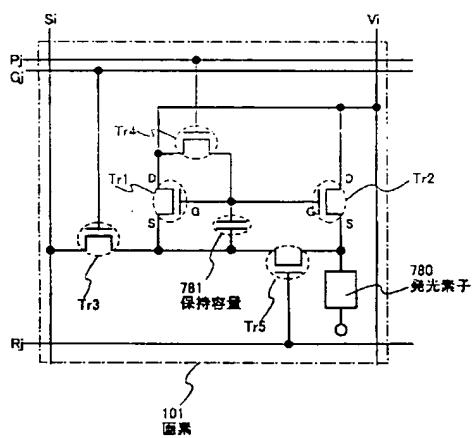
【図 3 2】



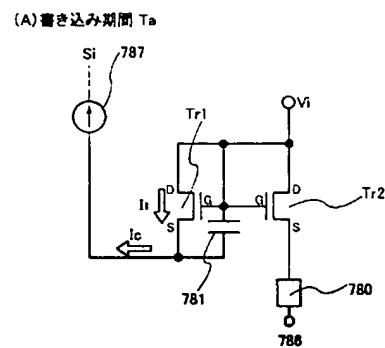
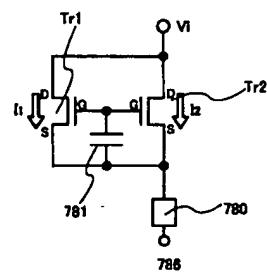
【図 3 3】



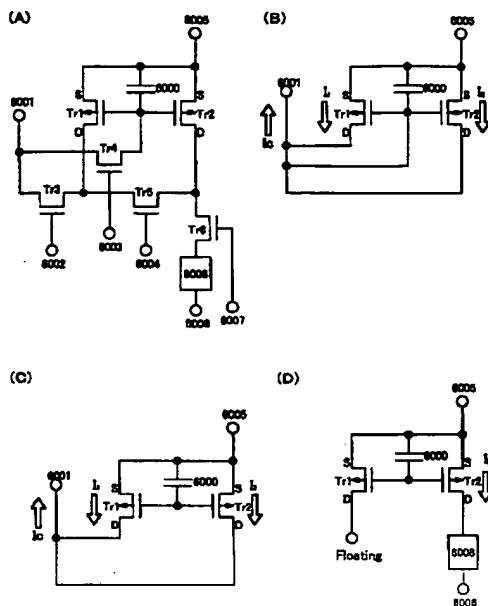
【図 3 4】



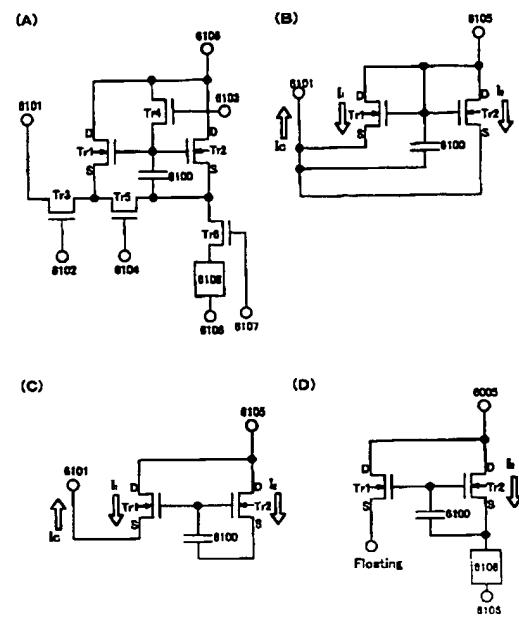
【図 3 5】

(B) 表示期間 T_d 

【図 37】



【図 38】



フロントページの続き

(51) Int.CI. 識別記号
 G 0 9 G 3/22
 H 0 1 L 29/786
 H 0 5 B 33/14
 H 0 5 B 33/14

F 1
 G 0 9 G 3/22
 H 0 5 B 33/14
 H 0 1 L 29/78
 6 1 4
 フロントページ (参考)

F ターム (参考) 3K007 AB14 AB17 BA06 DB03 GA04
 5C050 AA06 AA18 BB05 DD05 EE28
 FF11 JJ03 JJ04 JJ06
 5F110 AA01 AA30 BB02 BB04 CC02
 DD02 DD13 DD14 DD15 DD17
 EE01 EE02 EE03 EE04 EE09
 EE11 EE14 EE23 EE44 EE45
 FF02 FF04 FF09 FF28 FF30
 FF36 GG01 GG02 GG13 GG25
 HJ01 HJ04 HJ12 HJ13 HJ23
 HL04 HL06 HL12 HL23 HM13
 HM15 NN03 NN22 NN23 NN27
 NN73 NN78 PP01 PP03 PP04
 PP05 PP06 PP34 QQ19 QQ24
 QQ25